

明 細 書

画素回路、表示装置、および画素回路の駆動方法

技術分野

- [0001] 本発明は、有機EL (Electroluminescence) ディスプレイなどの、電流値によって輝度が制御される電気光学素子を有する画素回路、およびこの画素回路がマトリクス状に配列された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トランジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリクス型画像表示装置、並びに画素回路の駆動方法に関するものである。

背景技術

- [0002] 画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。

これは有機ELディスプレイなどにおいても同様であるが、有機ELディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

- [0003] 有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題があるため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはTFT (Thin Film Transistor、薄膜トランジスタ) によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

- [0004] 図1は、一般的な有機EL表示装置の構成を示すブロック図である。

この表示装置1は、図1に示すように、画素回路(PXLC)2aが $m \times n$ のマトリクス状に配列された画素アレイ部2、水平セクタ(HSEL)3、ライトスキャナ(WSCN)4、水平セクタ3により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL1〜DTLn、およびライトスキャナ4により選択駆動される走査線WSL1〜WSLmを有する。

なお、水平セクタ3、ライトスキャナ4に関しては、多結晶シリコン上に形成する場合や、MOSIC等で画素の周辺に形成することもある。

[0005] 図2は、図1の画素回路2aの一構成例を示す回路図である(たとえば特許文献1、2参照)。

図2の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる2トランジスタ駆動方式の回路である。

[0006] 図2の画素回路2aは、pチャネル薄膜電界効果トランジスタ(以下、TFTという)11およびTFT12、キャパシタC11、発光素子である有機EL子(OLED)13を有する。また、図42において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

有機EL素子は多くの場合整流性があるため、OLED(Organic Light Emitting Diode)と呼ばれることがあり、図2その他では発光素子としてダイオードの記号を用いているが、以下の説明においてOLEDには必ずしも整流性を要求するものではない。

図2ではTFT11のソースが電源電位VCCに接続され、発光素子13のカソード(陰極)は接地電位GNDに接続されている。図2の画素回路2aの動作は以下の通りである。

[0007] ステップST1:

走査線WSLを選択状態(ここでは低レベル)とし、データ線DTLに書き込み電位Vdataを印加すると、TFT12が導通してキャパシタC11が充電または放電され、TFT11のゲート電位はVdataとなる。

[0008] ステップST2:

走査線WSLを非選択状態(ここでは高レベル)とすると、データ線DTLとTFT11とは電氣的に切り離されるが、TFT11のゲート電位はキャパシタC11によって安定に

保持される。

[0009] ステップST3:

TFT11および発光素子13に流れる電流は、TFT11のゲート・ソース間電圧 V_{gs} に応じた値となり、発光素子13はその電流値に応じた輝度で発光し続ける。

上記ステップST1のように、走査線WSLを選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

上述のように、図2の画素回路2aでは、一度Vdataの書き込みを行えば、次に書き換えられるまでの間、発光素子13は一定の輝度で発光を継続する。

[0010] 上述したように、画素回路2aでは、ドライブトランジスタであるTFT11のゲート印加電圧を変化させることで、EL発光素子13に流れる電流値を制御している。

このとき、pチャネルのドライブトランジスタのソースは電源電位VCCに接続されており、このTFT11は常に飽和領域で動作している。よって、下記の式1に示した値を持つ定電流源となっている。

[0011] (数1)

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

[0012] ここで、 μ はキャリアの移動度を、 C_{ox} は単位面積当たりのゲート容量を、 W はゲート幅を、 L はゲート長を、 V_{gs} はTFT11のゲート・ソース間電圧を、 V_{th} はTFT11のしきい値をそれぞれ示している。

[0013] 単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

[0014] 図3は、有機EL素子の電流-電圧(I-V)特性の経時変化を示す図である。図3において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

[0015] 一般的に、有機EL素子のI-V特性は、図3に示すように、時間が経過すると劣化してしまう。

しかしながら、図2の2トランジスタ駆動は定電流駆動のために有機EL素子には上

述したように定電流が流れ続け、有機EL素子のI-V特性が劣化してもその発光輝度は経時劣化することはない。

[0016] ところで、図2の画素回路2aは、pチャネルのTFTにより構成されているが、nチャネルのTFTにより構成することができれば、TFT作製において従来のアモルファスシリコン(a-Si)プロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

[0017] 次に、トランジスタをnチャネルTFTに置き換えた画素回路について考察する。

[0018] 図4は、図2の回路のpチャネルTFTをnチャネルTFTに置き換えた画素回路を示す回路図である。

[0019] 図4の画素回路2bは、nチャネルTFT21およびTFT22、キャパシタC21、発光素子である有機EL素子(OLED)23を有する。また、図4において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

[0020] この画素回路2bでは、ドライブトランジスタとしてTFT21のドレイン側が電源電位V_{CC}に接続され、ソースはEL素子23のアノードに接続されており、ソースフォロワー回路を形成している。

[0021] 図5は、初期状態におけるドライブトランジスタとしてのTFT21とEL素子23の動作点を示す図である。図5において、横軸はTFT21のドレイン・ソース間電圧V_{ds}を、縦軸はドレイン・ソース間電流I_{ds}をそれぞれ示している。

[0022] 図5に示すように、ソース電圧はドライブトランジスタであるTFT21とEL素子23との動作点で決まり、その電圧はゲート電圧によって異なる値を持つ。

このTFT21は飽和領域で駆動されるので、動作点のソース電圧に対するV_{gs}に関して上記式1に示した方程式の電流値の電流I_{ds}を流す。

特許文献1:USP5, 684, 365

特許文献2:特開平8-234683号公報

発明の開示

発明が解決しようとする課題

[0023] しかしながら、ここでも同様にEL素子のI-V特性は経時劣化してしまう。図6に示すように、この経時劣化により動作点の変動が起きてしまい、同じゲート電圧を印加して

もそのソース電圧は変動する。

これにより、ドライブトランジスタであるTFT21のゲート・ソース間電圧 V_{gs} は変化してしまい、流れる電流値が変動する。同時にEL素子23に流れる電流値も変化するので、EL素子23のI-V特性が劣化すると、図4のソースフォロワー回路ではその発光輝度は経時変化してしまう。

[0024] また、図7に示すように、ドライブトランジスタとしてのnチャネルTFT31のソースを接地電位GNDに接続し、ドレインをEL素子33のカソードに接続し、EL素子33のアノードを電源電位VCCに接続する回路構成も考えられる。

[0025] この方式では、図2のpチャネルTFTによる駆動と同様に、ソースの電位が固定されており、ドライブトランジスタとしてTFT31は定電流源として動作して、EL素子33のI-V特性の劣化による輝度変化も防止できる。

[0026] しかしながら、この方式ではドライブトランジスタをEL素子のカソード側に接続する必要があり、このカソード接続は新規にアノード・カソードの電極の開発が必要であり、現状の技術では非常に困難であるとされている。

以上より、従来の方式では輝度変化のない、nチャネルトランジスタ使用の有機EL素子の開発はなされていなかった。

[0027] また、たとえ、輝度変化のない、nチャネルトランジスタ使用の有機EL素子の開発がなされたとしても、TFTトランジスタは一般的に移動度 μ やしきい値 V_{th} のばらつきが大きくことが特徴であることから、駆動トランジスタのゲートに同じ値の電圧が印加されても、画素ごとに電流値は駆動トランジスタの移動度 μ やしきい値 V_{th} によってばらついてしまい、均一な画質を得ることができない。

[0028] 本発明の目的は、発光素子の電流-電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタを電気光学素子の駆動素子として用いることができ、しかも、画素内部の能動素子のしきい値や移動度のばらつきによらず均一で高品位の画像を表示することが可能な画素回路、表示装置、および画素回路の駆動方法を提供することにある。

課題を解決するための手段

- [0029] 上記目的を達成するため、本発明の第1の観点は、流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、第3、および第4のノードと、第1および第2の基準電位と、所定の基準電流を供給する基準電流供給手段と、上記第2のノードに接続された電氣的接続手段と、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記電氣的接続手段と上記第4のノードとの間に接続された結合容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記第2のノードと所定の電位線との間に接続された第4のスイッチと、上記データ線と上記第4のスイッチとの間に接続された第5のスイッチと、上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第3のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続されている。
- [0030] 好適には、上記電氣的接続手段は、上記第2のノードと上記結合容量素子とを直接接続する配線を含む。
- [0031] 好適には、上記電氣的接続手段は、上記第2のノードと上記結合容量素子とを選択的に接続する第7のスイッチを含む。
- [0032] 好適には、上記第1のノードと上記電気光学素子との間に接続された第7のスイッチと、上記第1のノードと上記データ線との間に接続された第8のスイッチと、を含む。
また、上記第1のノードと上記電気光学素子との間に接続された第7のスイッチと、上記第1のノードと上記第4のノードとの間に接続された第8のスイッチと、を含む。
- [0033] 好適には、上記所定の電位線は、上記データ線と共用されている。
- [0034] また、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第3のノードに接続され、ドレインが上記第1の基準電位に接続されている。
- [0035] 好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1、第2

、第4、第5および第6のスイッチが非導通状態に保持された状態で、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続され、第2ステージとして、上記第2、第4、および上記第6のスイッチが導通状態に保持されて、所定電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定電位を充電し、第3ステージとして、上記第2および第6のスイッチが非導通状態に保持され、さらに第4のスイッチが非導通状態に保持され、上記第5のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第2のノードに入力された後、上記第5のスイッチが非導通状態に保持され、第4ステージとして、上記第1のスイッチが導通状態に保持され、上記第3のスイッチが非導通状態に保持される。

[0036] また、好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1、第2、第4、第5、第6、および第7のスイッチが非導通状態に保持された状態で、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続され、第2ステージとして、上記第2、第4、第6、および第7のスイッチが導通状態に保持されて、上記データ線を伝播されるデータ電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定電位を充電し、第3ステージとして、上記第2および第6のスイッチが非導通状態に保持され、さらに第4のスイッチが非導通状態に保持され、上記第5のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第4のノードを介して第2のノードに入力された後、上記第5および第7のスイッチが非導通状態に保持され、第4ステージとして、上記第1のスイッチが導通状態に保持され、上記第3のスイッチが非導通状態に保持される。

[0037] 本発明の第2の観点は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、第1および第2の基準電位と、を有し、所定の基準電流を供給する基準電流供給手段と、上記画素回路は、流れる電流によって輝度が変化する電気光学素子と、第1、第2、第3、および第4のノードと、上記第2のノードに接続された電気的接続手段と、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記電気的接続手段と上記第4のノードとの間に接続された結合容量素子と、

第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記第2のノードと所定の電位線との間に接続された第4のスイッチと、上記データ線と上記第4のスイッチとの間に接続された第5のスイッチと、上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第3のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続されている。

- [0038] 本発明の第3の観点は、流れる電流によって輝度が変化する電気光学素子と、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、第3、および第4のノードと、第1および第2の基準電位と、所定の基準電流を供給する基準電流供給手段と、上記第2のノードに接続された電氣的接続手段と、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記電氣的接続手段と上記第4のノードとの間に接続された結合容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記第2のノードと所定の電位線との間に接続された第4のスイッチと、上記データ線と上記第4のスイッチとの間に接続された第5のスイッチと、上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第3のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、上記第1、第2、第4、第5および第6のスイッチが非導通状態に保持した状態で、上記第3のスイッチを導通状態に保持させて、上記第1のノードを固定電位に接続し、上記第2、第4、および上記第6のスイッ

チを導通状態に保持して、所定電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定電位を充電し、上記第2および第6のスイッチを非導通状態に保持し、さらに第4のスイッチを非導通状態に保持し、上記第5のスイッチを導通状態に保持し上記データ線を伝播されるデータを上記第2のノードに入力させた後、上記第5のスイッチを非導通状態に保持し、上記第1のスイッチを導通状態に保持し、上記第3のスイッチを非導通状態に保持する。

[0039] 本発明によれば、たとえば電気光学素子の発光状態時は、第1のスイッチがオン状態(導通状態)に保持され、第2ー第7のスイッチがオフ状態(非導通状態)に保持される。

ドライブ(駆動)トランジスタは飽和領域で動作するように設計されており、電気光学素子に流れる電流 I_{ds} は、上記式1で示される値をとる。

次に、第1のスイッチがオフとなり、第2、第4ー第7のスイッチはオフ状態に保持されたままで、第3のスイッチがオンする。

このとき、第3のスイッチを介して電流が流れ、第1のノードの電位は接地電位GNDまで下降する。そのため、電気光学素子に印加される電圧も0Vとなり、電気光学素子は発光しなくなる。

次に、第3のスイッチがオン状態、第1および第5のスイッチがオフ状態に保持されたままで、第2、第4、第6、第7のスイッチがオンする。

これにより、たとえば所定電位 V_0 あるいはデータ線を伝播された入力電圧 V_{in} が第2のノードに入力し、これと並行して、基準電流供給手段により基準電流が第3のノードに流れる。その結果、駆動トランジスタのゲート・ソース間電圧 V_{gs} が、結合容量素子に充電される。

このとき、駆動トランジスタは飽和領域で動作することから、駆動トランジスタのゲート・ソース間電圧 V_{gs} は、移動度 μ およびしきい値 V_{th} を含んだ項となる。また、このとき、画素容量素子には V_0 または V_{in} が充電される。

[0040] 次に、第2および第6のスイッチがオフする。これによって、駆動トランジスタのソース電位(第3のノードの電位)は、たとえば(V_0 または $V_{in}-V_{th}$)まで上昇する。

そして、さらに、第3および第7のスイッチがオン状態、第1、第2、第6のスイッチが

オフ状態に保持されたままで、第5のスイッチがオンし、第4のスイッチがオフする。第5のスイッチがオンすることにより、第5のスイッチを介してデータ線を伝播された入力電圧 V_{in} が結合容量素子を通して駆動トランジスタのゲートに電圧 ΔV をカップリングさせる。

このカップリング量 ΔV は、第1のノードと第2のノード間の電圧変化量(駆動トランジスタの V_{gs})と、画素容量素子、結合容量素子、および駆動トランジスタの寄生容量によって決まり、画素容量素子と寄生容量に比べて結合容量素子の容量を大きくすれば変化量のほぼ全てが駆動トランジスタのゲートにカップリングされ、駆動トランジスタのゲート電位は(V_0 または $V_{in} + V_{gs}$)となる。

書き込み終了後、第5および第7のスイッチがオフし、さらに、第1のスイッチがオンして、第3のスイッチがオフする。

これによって、駆動トランジスタのソース電位は一旦接地電位GNDに降下、その後上昇し、電気光学素子にも電流が流れ始める。駆動トランジスタのソース電位は変動するにも関わらず、そのゲート・ソース間には画素容量素子があり、また、画素容量素子の容量を駆動トランジスタの寄生容量よりも大きくすることでゲート・ソース電位は常に($V_{in} + V_{gs}$)という一定値に保たれる。

このとき、駆動トランジスタは飽和領域で駆動するので、駆動トランジスタに流れる電流値 I_{ds} は式1で示された値となり、それはゲート・ソース間電圧で決定される。この I_{ds} は電気光学素子にも同様に流れ、電気光学素子は発光する。

発明の効果

[0041] 本発明によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、駆動トランジスタのしきい値のばらつきのみならず、移動度のばらつきも大幅に抑えることができ、ユニフォーミティの均一な画質を得ることができる。

また、基準電流を流し駆動トランジスタのしきい値のばらつきのキャンセルを行って

いることから、パネル毎にスイッチのオン、オフのタイミングの設定でしきい値をキャンセルする必要がないため、タイミングの設定する工数を増加を抑えることができる。

また、画素内の容量設計が容易に行え、尚且つ容量は小さくすることができるので画素面積を縮小することができ、パネルの高精細化が可能となる。

また、入力電圧を入力する時に電圧変化量のほぼ全てを駆動トランジスタのゲートにカップリングさせることができるので、画素ごとの電流値のバラツキを低減することができ、均一な画質を得ることができる。

さらに駆動トランジスタのゲートに固定電位を入力して基準電流 I_{ref} を流すことで画素内に信号線からの入力電圧が入力されている時間を短くすることができ、画素に高速に書き込むことができ、3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することが可能となる。

また、nチャネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

図面の簡単な説明

[0042] [図1]図1は、一般的な有機EL表示装置の構成を示すブロック図である。

[図2]図2は、図1の画素回路の一構成例を示す回路図である。

[図3]図3は、有機EL素子の電流-電圧(I-V)特性の経時変化を示す図である。

[図4]図4は、図2の回路のpチャネルTFTをnチャネルTFTに置き換えた画素回路を示す回路図である。

[図5]図5は、初期状態におけるドライブトランジスタとしてのTFTとEL素子の動作点を示す図である。

[図6]図6は、経時変化後のドライブトランジスタとしてのTFTとEL素子の動作点を示す図である。

[図7]図7は、ドライブトランジスタとしてのnチャネルTFTのソースを接地電位に接続した画素回路を示す回路図である。

[図8]図8は、第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

[図9]図9は、図8の有機EL表示装置において第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図10]図10A～Iは、図9の回路の駆動方法を説明するためのタイミングチャートである。

[図11]図11Aおよび11Bは、図9の回路の駆動方法に係る動作を説明するための図である。

[図12]図12Aおよび12Bは、図9の回路の駆動方法に係る動作を説明するための図である。

[図13]図13は、図9の回路の駆動方法に係る動作を説明するための図である。

[図14]図14は、図9の回路の駆動方法に係る動作を説明するための図である。

[図15]図15は、基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

[図16]図16は、基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

[図17]図17は、基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

[図18]図18は、基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

[図19]図19は、第2の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図20]図20A～Iは、図19の回路の駆動方法を説明するためのタイミングチャートである。

[図21]図21は、第3の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

[図22]図21の有機EL表示装置において第3の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図23]図23A～Hは、図22の回路の駆動方法を説明するためのタイミングチャートである。

[図24]図24は、第4の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図25]図25A～Hは、図24の回路の駆動方法を説明するためのタイミングチャートである。

[図26]図26は、第5の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図27]図27は、第6の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図28]図28A～Kは、図26の回路の動作を説明するためのタイミングチャートである。

[図29]図29A～Kは、図27の回路のタイミングチャートである。

[図30]図30Aおよび30Bは、図26の回路の動作を説明するための図である。

[図31]図31Aおよび31Bは、図26の回路の動作を説明するための図である。

[図32]図32Aおよび32Bは、図26の回路の動作を説明するための図である。

[図33]図33Aおよび33Bは、図26の回路の動作を説明するための図である。

[図34]図34は、図26の回路で基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

[図35]図35は、図26の回路で基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

[図36]図36は、第7の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図37]図37は、第8の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図38]図38A～Kは、図36の回路の動作を説明するためのタイミングチャートである。

[図39]図39A～Kは、図37の回路の動作を説明するためのタイミングチャートである。

[図40]図40は、第9の実施形態に係る画素回路の具体的な構成を示す回路図であ

る。

[図41]図41は、第10の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図42]図42A～Jは、図40の回路の動作を説明するためのタイミングチャートである。

[図43]図43A～Jは、図41の回路の動作を説明するためのタイミングチャートである。

[図44]図44は、第11の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図45]図45は、第12の実施形態に係る画素回路の具体的な構成を示す回路図である。

[図46]図46A～Jは、図44の回路の動作を説明するためのタイミングチャートである。

[図47]図47A～Jは、図45の回路の動作を説明するためのタイミングチャートである。

符号の説明

- [0043] 100, 100A～100J…表示装置、101…画素回路(PXLC)、102…画素アレイ部、103…水平セクタ(HSEL)、104…ライトスキャナ(WSCN)、105…第1のドライブスキャナ(DSCN1)、106…第2のドライブスキャナ(DSCN2)、107…第3のドライブスキャナ(DSCN3)、108…第4のドライブスキャナ(DSCN4)、109…第5のドライブスキャナ(DSCN5)、110…第6のドライブスキャナ(DSCN6)、DTL101～DTL10n…データ線、WSL101～WSL10m…走査線、DSL101～DSL10m, DSL111～DSL11m, DSL121～DSL12m, DSL131～DSL13m, DSL141～DSL14m, DSL151～DSL15m, DSL161～DSL16m…駆動線、111…ドライブ(駆動)トランジスタとしてのTFT、112…第1のスイッチとしてのTFT、113…第2のスイッチとしてのTFT、114…第3のスイッチとしてのTFT、115…第4のスイッチとしてのTFT、116…第5のスイッチとしてのTFT、117…第6のスイッチとしてのTFT、118…第7のスイッチとしてのTFT、119…発光素子、120…第7または第8のスイッチとしてのTFT、121…第8または第9のスイッチとしてのTFT、ND111…第1のノード、ND112…第2のノード、ND113…第3のノード、ND114…第4のノード。

発明を実施するための最良の形態

- [0044] 以下、本発明の実施形態を添付図面に関連付けて説明する。

[0045] <第1実施形態>

図8は、本第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図9は、図8の有機EL表示装置において本第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

[0046] この表示装置100は、図8および図9に示すように、画素回路(PXLC)101が $m \times n$ のマトリクス状に配列された画素アレイ部102、水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、第1のドライブスキャナ(DSCN1)105、第2のドライブスキャナ(DSCN2)106、第3のドライブスキャナ(DSCN3)107、第4のドライブスキャナ(DSCN4)108、第5のドライブスキャナ(DSCN5)109、第6のドライブスキャナ(DSCN6)110、リファレンス定電流源(RCIS)111、水平セクタ103により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL101〜DTL10n、ライトスキャナ104により選択駆動される走査線WSL101〜WSL10m、第1のドライブスキャナ105により選択駆動される駆動線DSL101〜DSL10m、第2のドライブスキャナ106により選択駆動される駆動線DSL111〜DSL11m、第3のドライブスキャナ107により選択駆動される駆動線DSL121〜DSL12m、第4のドライブスキャナ108により選択駆動される駆動線DSL131〜DSL13m、第5のドライブスキャナ109により選択駆動される駆動線DSL141〜DSL14m、第6のドライブスキャナ110により選択駆動される駆動線DSL151〜DSL15m、および定電流源111による基準電流 I_{ref} が供給される基準電流供給線ISL101〜ISL10nを有する。

[0047] なお、画素アレイ部102において、画素回路101は $m \times n$ のマトリクス状に配列されるが、図8においては図面の簡単化のために $2(=m) \times 3(=n)$ のマトリクス状に配列した例を示している。

また、図9においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

[0048] 本第1の実施形態に係る画素回路101は、図9に示すように、 n チャネルTFT111〜TFT118、キャパシタC111、C112、有機EL素子(OLED:電気光学素子)からなる発光素子119、第1のノードND111、第2のND112、第3のノードND113、お

よび第4のノードND114を有する。

また、図9において、DTL101はデータ線を、WSL101は走査線を、DSL101, DSL111, DSL121, DSL131, DSL141, DSL151は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT111が本発明に係る電界効果トランジスタ(ドライブ(駆動)トランジスタ)を構成し、TFT112が第1のスイッチを構成し、TFT113が第2のスイッチを構成し、TFT114が第3のスイッチを構成し、TFT115が第4のスイッチを構成し、TFT116が第5のスイッチを構成し、TFT117が第6のスイッチを構成し、TFT118が電氣的接続手段としての第7のスイッチを構成し、キャパシタC111が本発明に係る画素容量素子を構成し、キャパシタC112が本発明に係る結合容量素子を構成している。

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

また、本第1の実施形態においては、データ線と所定電位線とが共用されている。

[0049] 画素回路101において、第1の基準電位(本実施形態では電源電位VCC)と第2の基準電位(本実施形態では接地電位GND)との間に、ドライブトランジスタとしてのTFT111、第3のノードND113、第1のスイッチとしてのTFT112、第1のノードND111、および発光素子(OLED)119が直列に接続されている。

具体的には、発光素子119のカソードが接地電位GNDに接続され、アノードが第1のノードND111に接続され、TFT112のソースが第1のノードND111に接続され、第1のノードND111と第3のノードND113との間にTFT112のソース・ドレインが接続され、TFT111のソースが第3のノードND113に接続され、TFT111のドレインが電源電位VCCが接続されている。

そして、TFT111のゲートが第2のノードND112に接続され、TFT112のゲートが第2のドライブスキナ106により駆動される駆動線DSL111に接続されている。

第3のノードND113と第4のノードND114との間に第2のスイッチとしてのTFT113のソース・ドレインが接続され、TFT113のゲートが第5のドライブスキナ109により駆動される駆動線DSL141に接続されている。

第3のスイッチとしてのTFT114のドレインが第1のノードND111およびキャパシタC111の第1電極に接続され、ソースが固定電位（本実施形態では接地電位GND）に接続され、TFT114のゲートが第6のドライブスキナにより駆動されるゲートが駆動線DSL151に接続されている。また、キャパシタC111の第2電極が第2のノードND112に接続されている。

第2のノードND112とキャパシタC112の第1電極に第7のスイッチとしてのTFT118のソース・ドレインが接続され、TFT118の第3のドライブスキナにより駆動されるゲートが駆動線DLS121に接続されている。

データ線（所定電位線）DTL101と第2のノードND112に第4のスイッチとしてのTFT115のソース・ドレインがそれぞれ接続され、TFT115のゲートが第4のドライブスキナ108に駆動される駆動線DSL131に接続されている。

データ線DTL101と第4のノードND114に第5のスイッチとしてのTFT116のソース・ドレインがそれぞれ接続されている。そして、TFT116のゲートがライトスキナ104により駆動される走査線WSL101に接続されている。

さらに、第3のノードND113と基準電流供給線ISL101との間に第6のスイッチとしてのTFT117のソース・ドレインがそれぞれ接続されている。そして、TFT117のゲートが第1のドライブスキナ105により駆動される駆動線DSL101に接続されている。

[0050] このように、本実施形態に係る画素回路101は、ドライブトランジスタとしてのTFT111のゲート・ソース間に画素容量としてのキャパシタC111が接続され、非発光期間にTFT111のソース側電位をスイッチトランジスタとしてのTFT114を介して固定電位に接続し、かつ、TFT111のソース（第3のノードND13）に所定の基準電流（たとえば $2\mu\text{A}$ ） I_{ref} を所定のタイミングで供給して、基準電流 I_{ref} に相当する電圧を保持し、その電圧を中心して入力信号電圧をカップリングさせることで、移動度のばらつきのセンター値を中心にEL発光素子19を駆動し、ドライブトランジスタとしてのTFT111の移動度のばらつきによりユニフォームリティばらつきを抑制した画質を得るように構成されている。

[0051] 次に、上記構成の動作を、画素回路の動作を中心に、図10A～I並びに図11、図

12A, B, および図13, 図14に関連付けて説明する。

なお、図10Aは画素配列の第1行目の駆動線DSL131に印加される駆動信号ds[4]を、図10Bは画素配列の第1行目の操作線WSL101に印加される走査信号ws[1]を、図10Cは画素配列の第1行目の駆動線DSL121に印加される駆動信号ds[3]を、図10Dは画素配列の第1行目の駆動線DSL141に印加される駆動信号ds[5]を、図10Eは画素配列の第1行目の駆動線DSL151に印加される駆動信号ds[6]を、図10Fは画素配列の第1行目の駆動線DSL111に印加される駆動信号ds[2]を、図10Gは画素配列の第1行目の駆動線DSL101に印加される駆動信号ds[1]を、図10HはドライブトランジスタとしてのTFT111のゲート電位Vg111を、図10Iは第1のノードND111の電位VND111をそれぞれ示している。

[0052] まず、通常のEL発光素子119の発光状態時は、図10A～Gに示すように、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに設定され、ドライブスキャナ105により駆動線DSL101への駆動信号ds[1]がローレベルに設定され、ドライブスキャナ107により駆動線DSL121への駆動信号ds[3]がローレベルに設定され、ドライブスキャナ108により駆動線DSL131への駆動信号ds[4]がローレベルに設定され、ドライブスキャナ109により駆動線DSL141への駆動信号ds[5]がローレベルに設定され、ドライブスキャナ110により駆動線DSL151への駆動信号ds[6]がローレベルに設定され、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]のみが選択的にハイレベルに設定される。

その結果、画素回路101においては、図11Aに示すように、TFT112がオン状態(導通状態)に保持され、TFT113～TFT118がオフ状態(非導通状態)に保持される。

ドライブトランジスタ111は飽和領域で動作するように設計されており、EL発光素子119に流れる電流Idsは、上記式1で示される値をとる。

[0053] 次に、EL発光素子119の非発光期間において、図10A～Gに示すように、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに保持され、ドライブスキャナ105により駆動線DSL101への駆動信号ds[1]がローレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]がローレベルに

切り替えられ、ドライブスキャナ107により駆動線DSL121への駆動信号ds[3]がローレベルに保持され、ドライブスキャナ108により駆動線DSL131への駆動信号ds[4]がローレベルに保持され、ドライブスキャナ109により駆動線DSL141への駆動信号ds[5]がローレベルに保持され、ドライブスキャナ110により駆動線DSL151への駆動信号ds[6]が選択的にハイレベルに設定される。

その結果、画素回路101においては、図11Bに示すように、TFT112がオフとなり、TFT113, TFT115〜TFT118はオフ状態に保持されたままで、TFT114がオンする。

このとき、TFT114を介して電流が流れ、図10H,Iに示すように、第1のノードND11の電位VND11は接地電位GNDまで下降する。そのため、EL発光素子119に印加される電圧も0Vとなり、EL発光素子119は発光しなくなる。

[0054] 次に、図10A〜Gに示すように、ライトスキャナ104より走査線WSL101への走査信号ws[1]がローレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号ds[2]がローレベルに保持され、ドライブスキャナ110により駆動線DSL151への駆動信号ds[6]がハイレベルに保持された状態で、ドライブスキャナ105による駆動線DSL101への駆動信号ds[1]、ドライブスキャナ107による駆動線DSL121への駆動信号ds[3]、ドライブスキャナ108による駆動線DSL131への駆動信号ds[4]、ドライブスキャナ109により駆動線DSL141への駆動信号ds[5]がそれぞれ選択的にハイレベルに設定される。

その結果、画素回路101においては、図12Aに示すように、TFT114がオン状態、TFT112, 116がオフ状態に保持されたままで、TFT113, TFT115, TFT117, TFT118がオンする。

これにより、TFT115を介してデータ線DTL101を伝播された入力電圧Vinが第2のノードND112に入力し、これと並行して、定電流源111により基準電流供給線ISL101に供給された基準電流Iref(たとえば $2\mu\text{A}$)が第3のノードND113に流れる。その結果、ドライブトランジスタとしてのTFT111のゲート・ソース間電圧Vgsが、キャパシタC112に充電される。

このとき、TFT111は飽和領域で動作することから、下記の式(2)で示すように、T

FT111のゲート・ソース間電圧 V_{gs} は、移動度 μ およびしきい値 V_{th} を含んだ項となる。また、このとき、キャパシタC111には V_{in} が充電される。

[0055] (数2)

$$V_{gs} = V_{th} + \{2I_{ds} / (\mu (W/L) C_{ox})\}^2 \quad \dots (2)$$

[0056] 次に、キャパシタC111には V_{in} が充電された後、図10A～Gに示すように、ライトスキャナ104より走査線WSL101への走査信号 $ws[1]$ がローレベルに保持され、ドライブスキャナ106により駆動線DSL111への駆動信号 $ds[2]$ がローレベルに保持され、ドライブスキャナ107により駆動線DSL121への駆動信号 $ds[3]$ がハイレベルに保持され、ドライブスキャナ108により駆動線DSL131への駆動信号 $ds[4]$ がハイレベルに保持され、ドライブスキャナ110により駆動線DSL151への駆動信号 $ds[6]$ がハイレベルに保持された状態で、ドライブスキャナ105により駆動線DSL101への駆動信号 $ds[1]$ がローレベルに、ドライブスキャナ109により駆動線DSL141への駆動信号 $ds[4]$ がローレベルにそれぞれ選択的に設定される。

その結果、画素回路101においては、図12Aの状態から、TFT113, TFT117がオフする。これによって、TFT111のソース電位(第3のノードND113の電位)は、($V_{in} - V_{th}$)まで上昇する。

[0057] そして、さらに、ライトスキャナ104より走査線WSL101への走査信号 $ws[1]$ がハイレベルに切り替えられ、ドライブスキャナ108により駆動線DSL131への駆動信号 $ds[4]$ がローレベルに切り替えられる。

その結果、画素回路101においては、図12Bに示すように、TFT114, TFT118がオン状態、TFT112, TFT113, TFT117がオフ状態に保持されたままで、TFT116がオンし、TFT115がオフする。

TFT116がオンすることにより、TFT116を介してデータ線DTL101を伝播された入力電圧 V_{in} がキャパシタC112を通してTFT111のゲートに電圧 ΔV をカップリングさせる。

このカップリング量 ΔV は、第1のノードND111と第2のノードND112間の電圧変化量(TFT111の V_{gs})と、キャパシタC111、C112、およびTFT111の寄生容量C113によって決まり、キャパシタC111と寄生容量C113に比べてキャパシタC112の

容量を大きくすれば変化量のほぼ全てがTFT111のゲートにカップリングされ、TFT111のゲート電位は $(V_{in} + V_{gs})$ となる。

[0058] 書き込み終了後、図10A～Gに示すように、ライトスキャナ104より走査線WSL101への走査信号 $ws[1]$ がローレベルに切り替えられ、ドライブスキャナ107により駆動線DSL121への駆動信号 $ds[3]$ がローレベルに切り替えられ、さらに、ドライブスキャナ106により駆動線DSL111への駆動信号 $ds[2]$ がハイレベルに切り替えられ、ドライブスキャナ110により駆動線DSL151への駆動信号 $ds[6]$ がローレベルに切り替えられる。

これにより、画素回路101においては、図13に示すように、TFT116、TFT118がオフし、さらに、TFT112がオンして、TFT114がオフする。

これによって、TFT111のソース電位は一旦接地電位GNDに降下、その後上昇し、EL発光素子119にも電流が流れ始める。TFT111のソース電位は変動するにも関わらず、そのゲート・ソース間にはキャパシタC111があり、また、キャパシタC111の容量をTFT111の寄生容量C113よりも大きくすることでゲート・ソース電位は常に $(V_{in} + V_{gs})$ という一定値に保たれる。

このとき、TFT111は飽和領域で駆動するので、TFT111に流れる電流値 I_{ds} は式1で示された値となり、それはゲート・ソース間電圧で決定される。この I_{ds} はEL発光素子119にも同様に流れ、EL発光素子119は発光する。

[0059] このEL発光素子119を含む画素回路101の等価回路は図14に示すようになっていたため、TFT111のソース電位は、EL発光素子119に電流 I_{ds} が流れるゲート電位まで上昇する。この電位上昇に伴い、キャパシタC111を介してTFT111のゲート電位も同様に上昇する。

これにより、前述した通りTFT111のゲート・ソース間電位は一定に保たれる。

[0060] ここで、基準電流 I_{ref} について考える。

上述したように、基準電流 I_{ref} を流すことによって、TFT111のゲート・ソース間電圧を式2で表された値とする。

しかし、 $I_{ref} = 0$ のときは、ゲート・ソース間電圧は V_{th} とはならない。なぜなら、ゲート・ソース間電圧が V_{th} となっても、TFT111にはわずかにリーク電流が流れてしまう

ため、図15に示すように、TFT111のソース電圧は V_{cc} まで上昇してしまうからである。

TFT111のゲート・ソース間電圧を V_{th} とするには、TFT113をオンしている期間を調節してゲート・ソース間電圧が V_{th} となったところでオフしなくてはならず、実デバイスにおいてこのタイミングはパネル毎に調節しなければならない。

本実施形態のように、基準電流 I_{ref} を流さない場合には、TFT113のタイミングを調節して、ゲート・ソース間電圧を V_{th} に設定できたとしても、たとえば移動度が異なる画素AとBにおいて、同じ入力電圧 V_{in} が印加されているときも、式1に従い移動度 μ によって、図16に示すように、電流 I_{ds} のばらつきが発生しその画素の輝度が異なってしまう。つまり、電流値が多く流れ、明るくなるにつれて電流値は移動度のバラツキを受けてしまい、ユニフォーミティはバラつき、画質は悪化してしまう。

しかしながら、本実施形態のように、一定量の基準電流 I_{ref} を電流を流すことで、図17に示すように、TFT113のオン・オフのタイミングによらずTFT111のゲート・ソース間電圧を式2に示される一定値に決定することができ、移動度が異なる画素AとBにおいても、図18に示すように、電流 I_{ds} のばらつきを小さく抑えることができるので、ユニフォーミティのバラツキも抑えることができる。

[0061] さらに、従来のソースフォロアの問題点に踏まえて本実施形態の回路について考える。本回路においても、EL発光素子119は発光時間が長くなるに従い、そのI-V特性は劣化する。そのためTFT111が同じ電流値を流したとしても、EL発光素子119に印加される電位は変化し、第1のノードND111の電位 V_{ND111} は下降する。

しかしながら、本回路では、TFT111のゲート・ソース間電位が一定に保たれたまま第1のノードND111の電位 V_{ND111} は下降するので、TFT111に流れる電流は変化しない。

よって、EL発光素子119に流れる電流も変化せず、EL発光素子119のI-V特性が劣化しても、ゲート・ソース間電圧に相当した電流が常に流れつづけ、従来の問題は解決できる。

[0062] 以上説明したように、本第1の実施形態によれば、電圧駆動型TFTアクティブマトリクス有機ELディスプレイにおいて、ドライブトランジスタとしてのTFT111のゲートとソ

ース間にキャパシタC111を接続し、TFT111のソース側(第1のノードND111)をTFT114を通して固定電位(本実施形態ではGND)に接続するようにし、かつ、TFT111のソース(第3のノードND13)に所定の基準電流(たとえば $2\mu\text{A}$) I_{ref} を所定のタイミングで供給して、基準電流 I_{ref} に相当する電圧を保持し、その電圧を中心して入力信号電圧をカップリングさせることで、移動度のばらつきのセンター値を中心にEL発光素子19を駆動するように構成したことから、以下の効果を得ることができる。

[0063] すなわち、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、駆動トランジスタのしきい値のばらつきのみならず、移動度のばらつきも大幅に抑えることができ、ユニフォーミティの均一な画質を得ることができる。

また、基準電流を流し駆動トランジスタのしきい値のばらつきのキャンセルを行っていることから、パネル毎にスイッチのオン、オフのタイミングの設定でしきい値をキャンセルする必要がないため、タイミングの設定する工数を増加を抑えることができる。

また、nチャネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

[0064] <第2実施形態>

図19は、本第2の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図20は、図19の回路のタイミングチャートである。

[0065] 本第2の実施形態が上述した第1の実施形態と異なる点は、第4のスイッチとしてのTFT115が接続される所定の電位線をデータ線DTLと共用せずに、別に設けたことにある。

[0066] その他の構成は第1の実施形態と同様であり、ここでは、構成および機能に関する詳細な説明は省略する。

[0067] 本第2の実施形態では、ドライバトランジスタとしてのTFT111のソースに基準電流 I

refを流す際にTFT111のゲート電圧に入力電圧 V_{in} を入力するのではなく、固定電位 V_0 を入力する。固定電位 V_0 を入力して基準電流 I_{ref} を流すことによって画素内に V_{in} が入力されている時間を短くすることができ、画素に高速に書き込むことができる。

このため、たとえば3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することができるようになる。

[0068] <第3実施形態>

図21は、本第3の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図22は、図21の有機EL表示装置において本第3の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図23A～Hは、図22の回路のタイミングチャートである。

[0069] 本第3の実施形態が第1の実施形態と異なる点は、キャパシタC112の第1電極と第2のノードND112とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わりに、電気配線により直接接続するようにしたことにある。

その結果、第3のドライブスキュナ107と駆動線DSL121が不要となっている。

[0070] その他の構成は、上述した第2の実施形態と同様である。

[0071] 本第3の実施形態によれば、上述した第1の実施形態の効果に加えて、画素回路内の素子数を低減することができ、回路構成を簡単化できる利点がある。

[0072] <第4実施形態>

図24は、本第4の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図25A～Hは、図24の回路のタイミングチャートである。

[0073] 本第4の実施形態が上述した第3の実施形態と異なる点は、第4のスイッチとしてのTFT115が接続される所定の電位線をデータ線DTLと共用せずに、別に設けたことにある。

[0074] その他の構成は第1の実施形態と同様であり、ここでは、構成および機能に関する詳細な説明は省略する。

[0075] 本第4の実施形態では、ドライバトランジスタとしてのTFT111のソースに基準電流 I

refを流す際にTFT111のゲート電圧に入力電圧 V_{in} を入力するのではなく、固定電位 V_0 を入力する。固定電位 V_0 を入力して基準電流 I_{ref} を流すことによって画素内に V_{in} が入力されている時間を短くすることができ、画素に高速に書き込むことができる。

このため、たとえば3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することができるようになる。

[0076] <第5実施形態および第6実施形態>

図26は、本第5の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図27は、本第6の実施形態に係る画素回路の具体的な構成を示す回路図である。

[0077] 本第5の実施形態が上述した第1の実施形態と異なる点は、第1のノードND111と発光素子119のアノードとの間に第8のスイッチとしてのTFT120を挿入し、かつ、第1のノードND111とデータ線DTL101を第9のスイッチとしてのTFT121により接続し、TFT114のソースを固定電位 V_0 に接続したことにある。

そして、TFT120のゲートが第7のドライブスキャナ(DSCN7)122により駆動される駆動線DSL161(〜16m)に接続され、TFT121のゲートが第8のドライブスキャナ(DSCN8)123により駆動される駆動線DSL171(〜17m)に接続されている。

[0078] また、第6の実施形態と第5の実施形態が異なる点は、TFT121が第1のノードND111をデータ線DTL101と選択的に接続する代わりに、第1のノードND111を第4のノードND114と選択的に接続するようにしたことにある。

[0079] 第5および第6の実施形態は基本的には、同様に動作する。

図28A〜Kおよび図29A〜Kにその動作例のタイミングチャートを示す。

なお、図28A, 図29Aは画素配列の第1行目の駆動線DSL131に印加される駆動信号 $ds[4]$ を、図28B, 図29Bは画素配列の第1行目の操作線WSL101に印加される走査信号 $ws[1]$ を、図28C, 図29Cは画素配列の第1行目の駆動線DSL121に印加される駆動信号 $ds[3]$ を、図28D, 図29Dは画素配列の第1行目の駆動線DSL141に印加される駆動信号 $ds[5]$ を、図28E, 図29Eは画素配列の第1行目の駆動線DSL111に印加される駆動信号 $ds[2]$ を、図28F, 図29Fは画素配列の第1

行目の駆動線DSL101に印加される駆動信号ds[1]を、図28G、図29Gは画素配列の第1行目の駆動線DSL161に印加される駆動信号ds[7]を、図28H、図29Hは画素配列の第1行目の駆動線DSL141に印加される駆動信号ds[6]を、図28I、図29Iは画素配列の第1行目の駆動線DSL171に印加される駆動信号ds[8]を、図28J、図29JはドライブトランジスタとしてのTFT111のゲート電位Vg111を、図28K、図29Kは第1のノードND111の電位VND111をそれぞれ示している。

[0080] 以下に、図26の回路の動作を図30A、B、図31A、B、図32A、B、および図33A、Bに関連付けて説明する。

[0081] まず、通常のEL発光素子119の発光状態は図30Aに示すように、TFT112とTFT120がオンした状態である。

次に、EL発光素子119の非発光期間において、図30Bに示すように、TFT112をオンしたままでTFT120をオフする

このとき、EL発光素子119には電流が供給されなくなり、発光しなくなる。

[0082] 次に、図31Aに示すように、TFT115、TFT118、TFT113、およびTFT117をオンして駆動トランジスタであるTFT111のゲートに入力電圧(Vin)を入力し、電流源から電流Irefを流すことによって、駆動トランジスタのゲートソース間電圧VgsをキャパシタC111、C112に充電する。このとき、TFT114は飽和領域で動作するので、Vgsは式3で示すように μ 、Vthを含んだ項となる。

[0083] (数3)

$$V_{gs} = V_{th} + [2I / (\mu (W/L) C_{ox})]^{1/2} \quad \dots (3)$$

[0084] キャパシタC111、C112にVgsが充電された後にTFT113、TFT112をオフする。これによってキャパシタC111、C112に充電されている電圧をVgsに確定させる。

その後、図31Bに示すように、TFT117をオフして電流の供給を止めることでTFT111のソース電位はVin-Vthまで上昇する。

さらに、図32Aに示すように、TFT115をオフしてTFT116とTFT121をオンする。

TFT116とTFT121をオンすることでVinをキャパシタC111、C112を通して駆動トランジスタであるTFT111のゲートに電圧 ΔV をカップリングさせる。このカップリング量 ΔV は図中A点、B点の電圧変化量(Vgs)とキャパシタC111、C112の容量C1、

C2の和、TFT111の寄生容量C3の比によって決まり(式4)、C3に比べてC1、C2の和を大きくすれば変化量のほぼ全てがTFT111のゲートにカップリングされ、TFT111のゲート電位は $V_{in}+V_{gs}$ となる。

[0085] (数4)

$$\Delta V = \Delta V_1 + \Delta V_2 = \{(C1+C2)/(C1+C2+C3)\} \cdot V_{gs} \quad \dots (4)$$

[0086] 書き込みが終了した後に、図32Bに示すように、TFT121をオフしてTFT114をオンする。

TFT114はV0という固定電位に接続されており、オンすることによってノードND112の電圧変化量(V_0-V_{in})をキャパシタC111を通してTFT111のゲートに再びカップリングさせる。このカップリング量 ΔV_3 はノードND112の電圧変化量とC1とC3の和とC2との比によって決まる(式5)。この比を α とすると、TFT111のゲート電位は $(1-\alpha)V_{in}+V_{gs}+\alpha V_0$ となり、キャパシタC111に保持されている電圧は V_{gs} から $(1-\alpha)(V_{in}-V_0)$ だけ増加する。

[0087] (数5)

$$\Delta V = \{C1/(C1+C2+C3)\} \cdot (V_0 - V_{in}) = \alpha \quad \dots (5)$$

[0088] その後、図33Aに示すように、TFT116、TFT118をオフして、TFT112、TFT120をオン、TFT114をオフする。これによってTFT111のソース電位は一旦V0レベルになり、その後EL発光素子119に電流が流れ始める。TFT111のソース電位は変動するにも関わらず、ゲートソース間にはキャパシタC111があり、キャパシタC111の容量C1を寄生容量C3よりも大きくすることでゲートソース電位は常に一定値に保たれる。

このとき、TFT111は飽和領域で駆動するので、TFT111に流れる電流値 I_{ds} は式1で示された値となり、それはゲートソース間電圧で決定される。この I_{ds} はEL発光素子119にも同様に流れ、EL発光素子119は発光する。

素子の等価回路は図33Bに示すようになっているため、TFT111のソース電圧はEL発光素子119に電流 I_{ds} が流れるゲート電位まで上昇する。この電位上昇に伴い、キャパシタC111を介してTFT111のゲート電位も同様に上昇する。これにより、前述

した通りTFT111のゲートソース電位は一定に保たれることになり、EL発光素子119が経時劣化してTFT111のソース電位が変化してもゲートソース間電圧は一定のままでEL発光素子119に流れる電流値は変化することはない。

[0089] ここで、キャパシタC111、C112の容量C1、C2について考える。

まずC1とC2の和は、 $C1+C2 \gg C3$ としなくてはならない。C3に比べ非常に大きくすることでノードND111、ND112の電位変化量の全てをTFT111のゲートにカップリングさせることができる。

このとき、TFT111に流れる電流値は式1で示される値となり、図34のようにTFT111のゲートソース間電圧はIrefを流す電圧から $\alpha (V0-Vin)$ という一定値だけ大きくなり、移動度が異なる画素AとBにおいても、Idsのバラツキを小さく抑えることができるので、ユニフォーミティのバラツキも抑えることができる。

しかし、C1+C2を小さくしてしまうと、ノードND111、ND112の電圧変化量は全てカップリングされず、ゲインをもってしまう。このゲインを β とすると、TFT111に流れる電流量は式6で表され、T10のゲートソース間電圧はIrefを流す電圧から $Vin+(\beta-1)Vgs$ という値だけ大きくなるのだが、Vgsは画素ごとに異なる値であるために、Idsのバラツキを小さく抑えることができなくなる(図35)。これより、C1+C2はC3に比べ大きくとらなければならない。

[0090] (数6)

$$\Delta V = \{C1 / (C1 + C2 + C3)\} \cdot V_{gs} \quad \dots (6)$$

[0091] 次にC1の大きさについて考える。

C1はTFT111の寄生容量C3に比べて非常に大きくなければならない。もしC1がC3と同じレベルならば、TFT114のソース電位の変動がキャパシタC111を通じてTFT114のゲートにカップリングされてしまい、キャパシタC111に保持されている電圧が変動してしまう。このため、TFT111は一定量の電流を流すことができなくなり、画素ごとにバラツキが生じてしまう。これより、C1はTFT111の寄生容量C3に比べて非常に大きくとらなければならない。

[0092] さらに、C2について考える。C2 \gg C1であるとする、TFT114をオンしてV0-Vinという電圧変化をキャパシタC111を通してTFT111のゲートにカップリングさせる際に

、キャパシタC111に保持されている電位差は I_{ref} をTFT111に流して保持された V_{gs} という電位から $V_{in}-V_0$ という一定値だけ増加するので、移動度が異なる画素AとBにおいても、 I_{ds} のバラツキを小さく抑えることができ、ユニフォーミティのバラツキも抑えることができる。

しかしながら、 $C_2 \gg C_1$ とすると、 I_{ds} のバラツキを小さく抑えることができず、ユニフォーミティのバラツキも抑えることができない。

次に、 $C_2 \ll C_1$ とするとTFT114をオンした際に、 V_0-V_{in} という電圧変化が全てキャパシタC111を通してTFT111のゲートにカップリングされてしまうので、キャパシタC111に保持されている電圧は V_{gs} から全く変化しない。これより、EL発光素子119には入力電圧に関わらず I_{ref} という一定電流しか流すことができないので画素はラスター表示しかできない。

以上より、 C_1 と C_2 の大きさは同レベルに設定し、TFT114をオンすることによるカップリングにおいて一定のゲインを持たせる必要がある。

ここで前述のように C_3 はTFT114の寄生容量であり、その大きさは数10～数100fFのオーダーであるが、 C_1 、 C_2 、 C_3 の関係は、 $C_2 \gg C_3$ 、 $C_1 \gg C_3$ であり、且つ C_1 と C_2 は同レベルでなければならないので C_1 、 C_2 はそれぞれ数100fF～数pFという大きさでよい。これより、画素内という限られた大きさの中に容量を容易に設定することができ、従来の問題点であった画素ごとに電流値がばらついてしまい画素ムラになってしまうという問題点も克服することができる。

[0093] < 第7実施形態および第8実施形態 >

図36は、本第7の実施形態に係る画素回路の具体的な構成を示す回路図である。
図37は、本第8の実施形態に係る画素回路の具体的な構成を示す回路図である。

[0094] 本第7の実施形態が上述した第5の実施形態と異なる点は、第4のスイッチとしてのTFT115が接続される所定の電位線をデータ線DTLと共用せずに、別に設けたことある。

同様に、本第8の実施形態が上述した第6の実施形態と異なる点は、第4のスイッチとしてのTFT115が接続される所定の電位線をデータ線DTLと共用せずに、別に設けたことある。

[0095] その他の構成は第5および第6の実施形態と同様であり、ここでは、構成および機能に関する詳細な説明は省略する。

[0096] 第7および第8の実施形態は基本的には、同様に動作する。

図38A～Kおよび図39A～Kにその動作例のタイミングチャートを示す。

[0097] 本第4の実施形態では、ドライバトランジスタとしてのTFT111のソースに基準電流 I_{ref} を流す際にTFT111のゲート電圧に入力電圧 V_{in} を入力するのではなく、固定電位 V_0 を入力する。固定電位 V_0 を入力して基準電流 I_{ref} を流すことによって画素内に V_{in} が入力されている時間を短くすることができ、画素に高速に書き込むことができる。

このため、たとえば3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することができるようになる。

[0098] <第9実施形態および第10実施形態>

図40は、本第9の実施形態に係る画素回路の具体的な構成を示す回路図である。

図41は、本第10の実施形態に係る画素回路の具体的な構成を示す回路図である。

[0099] 本第9の実施形態が第5の実施形態と異なる点は、キャパシタC112の第1電極と第2のノードND112とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わりに、電気配線により直接接続するようにしたことにある。

本第10の実施形態が第6の実施形態と異なる点は、キャパシタC112の第1電極と第2のノードND112とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わりに、電気配線により直接接続するようにしたことにある。

その結果、第3のドライブスキヤナ107と駆動線DSL121が不要となっている。

[0100] その他の構成は、上述した第5および第6の実施形態と同様である。

第9および第10の実施形態は基本的には、同様に動作する。

図42A～Jおよび図43A～Jにその動作例のタイミングチャートを示す。

[0101] 本第9および第10の実施形態によれば、上述した第5および第6の実施形態の効果に加えて、画素回路内の素子数を低減することができ、回路構成を簡単化できる利点がある。

[0102] <第11実施形態および第12実施形態>

図44は、本第11の実施形態に係る画素回路の具体的な構成を示す回路図である。図45は、本第12の実施形態に係る画素回路の具体的な構成を示す回路図である。

[0103] 本第11の実施形態が第7の実施形態と異なる点は、キャパシタC112の第1電極と第2のノードND112とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わりに、電気配線により直接接続するようにしたことにある。

本第12の実施形態が第8の実施形態と異なる点は、キャパシタC112の第1電極と第2のノードND112とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わりに、電気配線により直接接続するようにしたことにある。

その結果、第3のドライブスキマナ107と駆動線DSL121が不要となっている。

[0104] その他の構成は、上述した第7および第8の実施形態と同様である。

[0105] その他の構成は、上述した第7および第8の実施形態と同様である。

第11および第12の実施形態は基本的には、同様に動作する。

図46A～Jおよび図47A～Jにその動作例のタイミングチャートを示す。

[0106] 本第11および第12の実施形態によれば、上述した第7および第8の実施形態の効果に加えて、画素回路内の素子数を低減することができ、回路構成を簡単化できる利点がある。

産業上の利用分野

[0107] 本発明の画素回路、表示装置、および画素回路の駆動方法は、発光素子の電流－電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、nチャネルトランジスタのソースフォロワー回路が可能となり、しかも、画素内部の能動素子のしきい値や移動度のばらつきによらず均一で高品位の画像を表示することが可能であることから、携帯情報端末(Personal Digital Assistant)、パーソナルコンピュータ、カーナビゲーション用の表示装置、携帯電話、デジタルカメラ、ビデオカメラ等の電子機器に適用可能である。

請求の範囲

- [1] 流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、
輝度情報に応じたデータ信号が供給されるデータ線と、
第1、第2、第3、および第4のノードと、
第1および第2の基準電位と、
所定の基準電流を供給する基準電流供給手段と、
上記第2のノードに接続された電氣的接続手段と、
上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、
上記電氣的接続手段と上記第4のノードとの間に接続された結合容量素子と、
第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、
上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、
上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、
上記第1のノードと固定電位との間に接続された第3のスイッチと、
上記第2のノードと所定の電位線との間に接続された第4のスイッチと、
上記データ線と上記第4のノードとの間に接続された第5のスイッチと、
上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、を
有し、
上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第3のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続されている
画素回路。
- [2] 上記電氣的接続手段は、上記第2のノードと上記結合容量素子とを直接接続する配線を含む
請求項1記載の画素回路。
- [3] 上記電氣的接続手段は、上記第2のノードと上記結合容量素子とを選択的に接続する第7のスイッチを含む

請求項1記載の画素回路。

- [4] 上記第1のノードと上記電気光学素子との間に接続された第7のスイッチと、
上記第1のノードと上記データ線との間に接続された第8のスイッチと、を含む
請求項1記載の画素回路。
- [5] 上記第1のノードと上記電気光学素子との間に接続された第7のスイッチと、
上記第1のノードと上記第4のノードとの間に接続された第8のスイッチと、を含む
請求項1記載の画素回路。
- [6] 上記第1のノードと上記電気光学素子との間に接続された第8のスイッチと、
上記第1のノードと上記データ線との間に接続された第9のスイッチと、を含む
請求項3記載の画素回路。
- [7] 上記第1のノードと上記電気光学素子との間に接続された第8のスイッチと、
上記第1のノードと上記第4のノードとの間に接続された第9のスイッチと、を含む
請求項3記載の画素回路。
- [8] 上記所定の電位線は、上記データ線と共用されている
請求項1記載の画素回路。
- [9] 上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第3のノードに接
続され、ドレインが上記第1の基準電位に接続されている
請求項1記載の画素回路。
- [10] 上記電気光学素子を駆動する場合、
第1ステージとして、上記第1、第2、第4、第5および第6のスイッチが非導通状態
に保持された状態で、上記第3のスイッチが導通状態に保持されて、上記第1のノー
ドが固定電位に接続され、
第2ステージとして、上記第2、第4、および上記第6のスイッチが導通状態に保持さ
れて、所定電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し
、画素容量素子に所定電位を充電し、
第3ステージとして、上記第2および第6のスイッチが非導通状態に保持され、さら
に第4のスイッチが非導通状態に保持され、上記第5のスイッチが導通状態に保持さ
れて上記データ線を伝播されるデータが上記第2のノードに入力された後、上記第5

のスイッチが非導通状態に保持され、

第4ステージとして、上記第1のスイッチが導通状態に保持され、上記第3のスイッチが非導通状態に保持される

請求項2記載の画素回路。

[11] 上記電気光学素子を駆動する場合、

第1ステージとして、上記第1、第2、第4、第5、第6、および第7のスイッチが非導通状態に保持された状態で、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続され、

第2ステージとして、上記第2、第4、第6、および第7のスイッチが導通状態に保持されて、上記データ線を伝播されるデータ電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定電位を充電し、

第3ステージとして、上記第2および第6のスイッチが非導通状態に保持され、さらに第4のスイッチが非導通状態に保持され、上記第5のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第4のノードを介して第2のノードに入力された後、上記第5および第7のスイッチが非導通状態に保持され、

第4ステージとして、上記第1のスイッチが導通状態に保持され、上記第3のスイッチが非導通状態に保持される

請求項3記載の画素回路。

[12] マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、

第1および第2の基準電位と、を有し、

所定の基準電流を供給する基準電流供給手段と、

上記画素回路は、

流れる電流によって輝度が変化する電気光学素子と、

第1、第2、第3、および第4のノードと、

上記第2のノードに接続された電氣的接続手段と、

上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、

上記電氣的接続手段と上記第4のノードとの間に接続された結合容量素子と、
第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続され
た制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動ラン
ジスタと、

上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、
上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、
上記第1のノードと固定電位との間に接続された第3のスイッチと、
上記第2のノードと所定の電位線との間に接続された第4のスイッチと、
上記データ線と上記第4のスイッチとの間に接続された第5のスイッチと、
上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと
、を有し、

上記第1の基準電位と第2の基準電位との間に、上記駆動ランジスタの電流供
給ライン、上記第1のノード、上記第3のノード、上記第1のスイッチ、および上記電気
光学素子が直列に接続されている

表示装置。

- [13] 流れる電流によって輝度が変化する電気光学素子と、
輝度情報に応じたデータ信号が供給されるデータ線と、
第1、第2、第3、および第4のノードと、
第1および第2の基準電位と、
所定の基準電流を供給する基準電流供給手段と、
上記第2のノードに接続された電氣的接続手段と、
上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、
上記電氣的接続手段と上記第4のノードとの間に接続された結合容量素子と、
第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制
御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動ランジス
タと、
上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、
上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、

上記第1のノードと固定電位との間に接続された第3のスイッチと、
上記第2のノードと所定の電位線との間に接続された第4のスイッチと、
上記データ線と上記第4のスイッチとの間に接続された第5のスイッチと、
上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、を
有し、

上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給
ライン、上記第1のノード、上記第3のノード、上記第1のスイッチ、および上記電気光
学素子が直列に接続されている画素回路の駆動方法であって、

上記第1、第2、第4、第5および第6のスイッチが非導通状態に保持した状態で、
上記第3のスイッチを導通状態に保持させて、上記第1のノードを固定電位に接続し
、

上記第2、第4、および上記第6のスイッチを導通状態に保持して、所定電位を上記
第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定
電位を充電し、

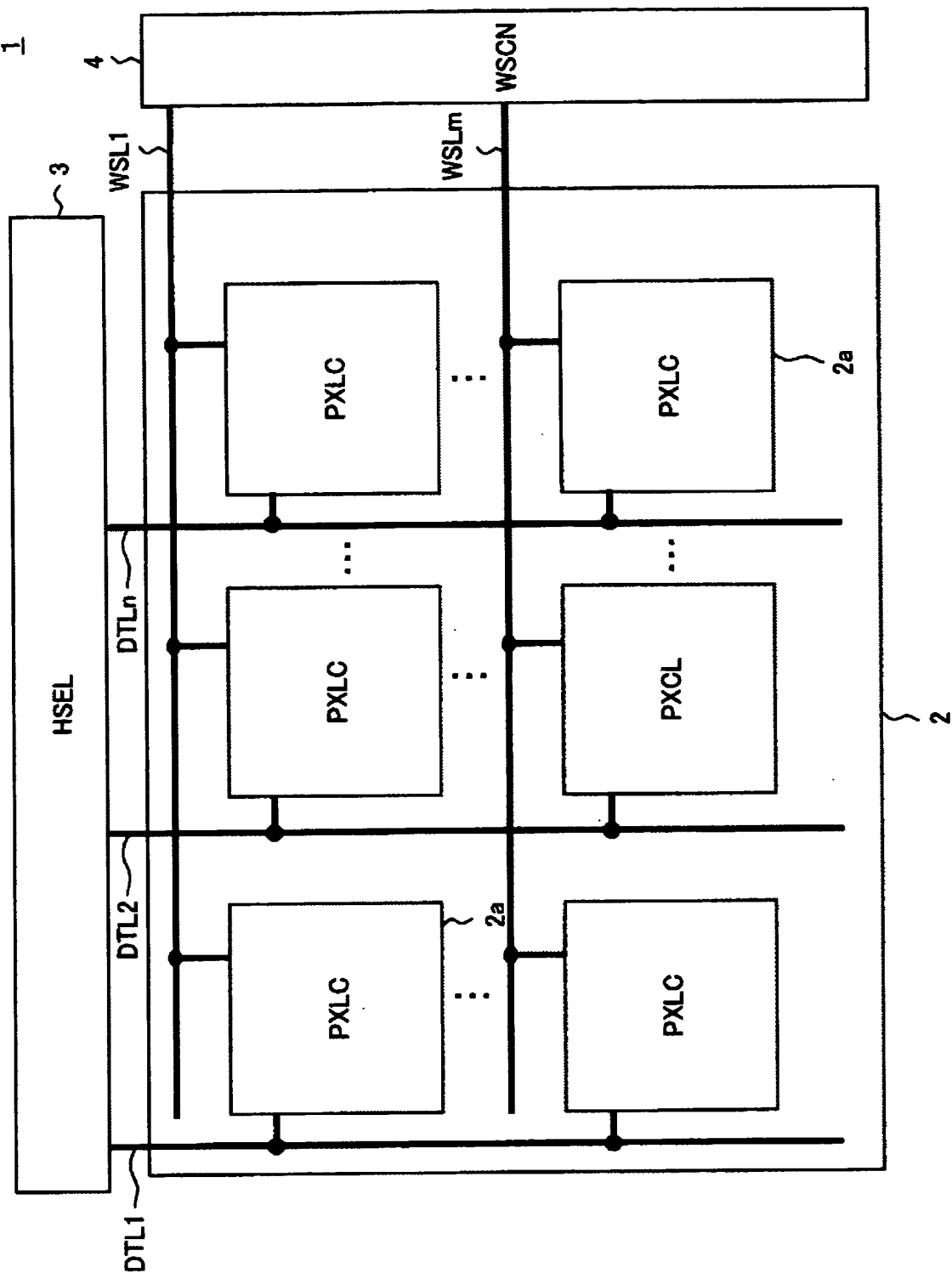
上記第2および第6のスイッチを非導通状態に保持し、さらに第4のスイッチを非導
通状態に保持し、上記第5のスイッチを導通状態に保持し上記データ線を伝播され
るデータを上記第2のノードに入力させた後、上記第5のスイッチを非導通状態に保
持し、

上記第1のスイッチを導通状態に保持し、上記第3のスイッチを非導通状態に保持
する

画素回路の駆動方法。

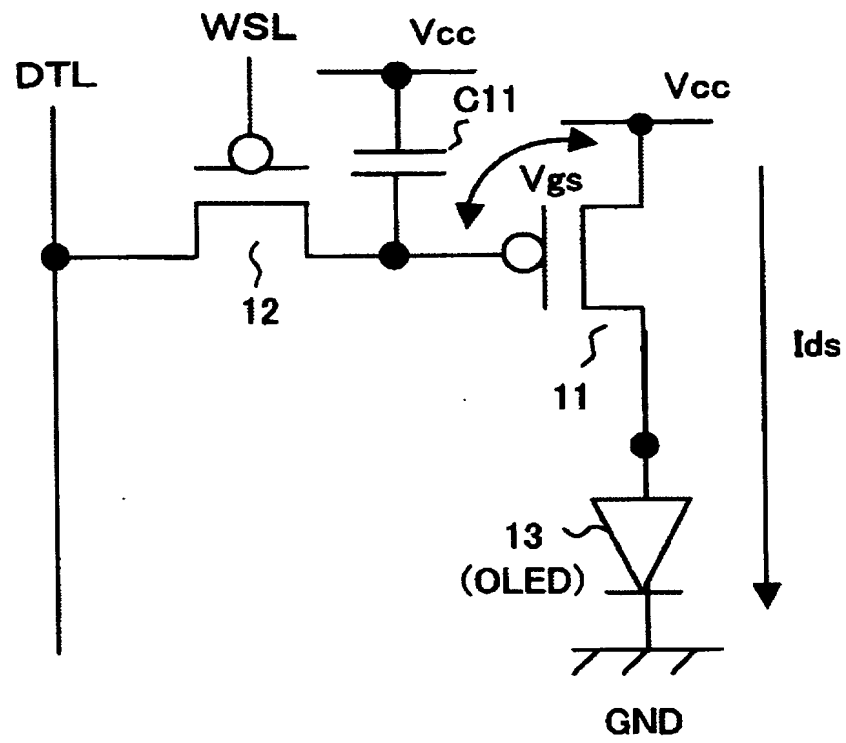
FIG. 1

[図1]



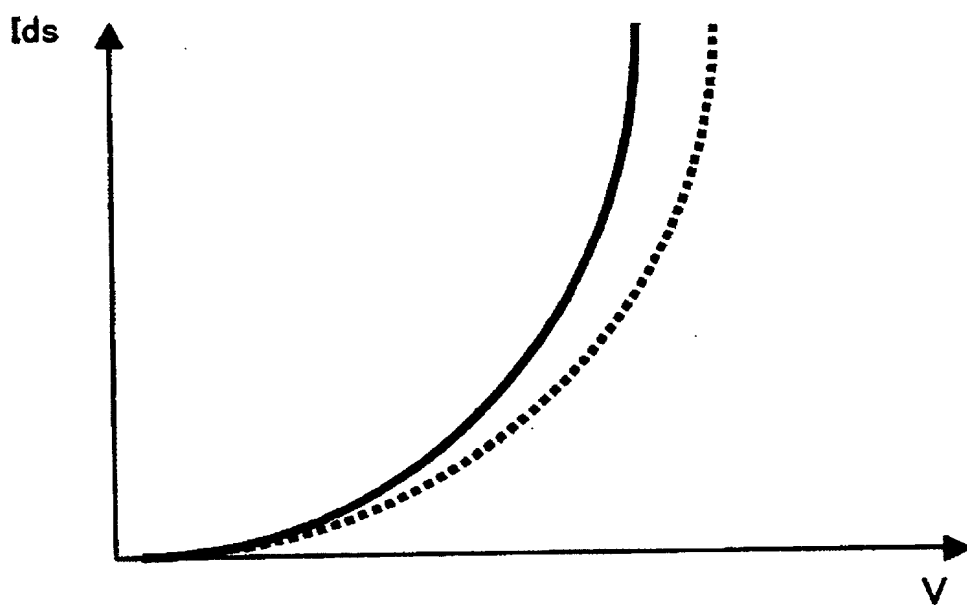
[図2]

FIG. 2

2a

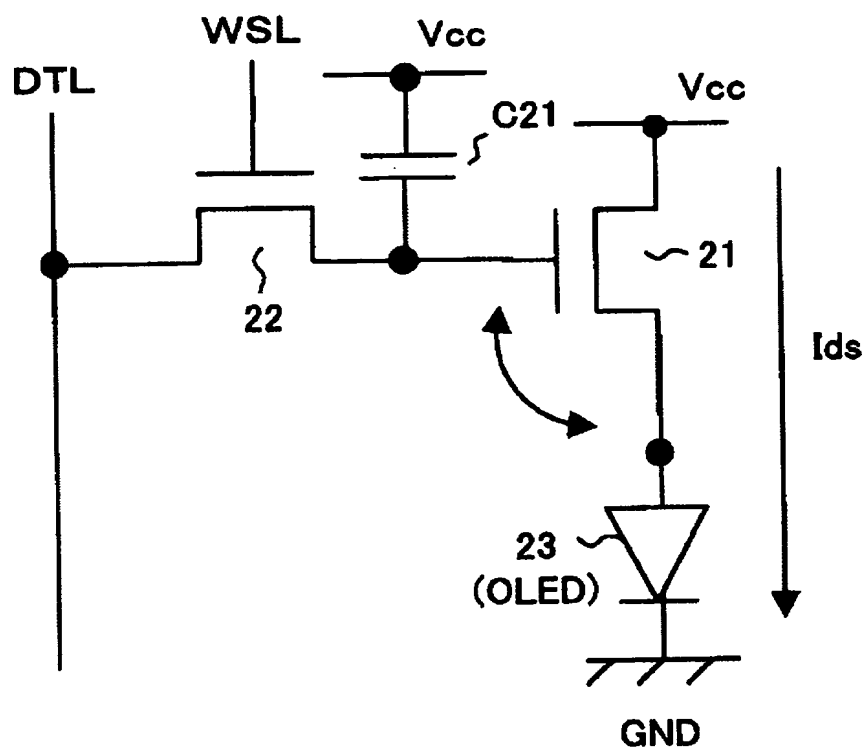
[図3]

FIG. 3



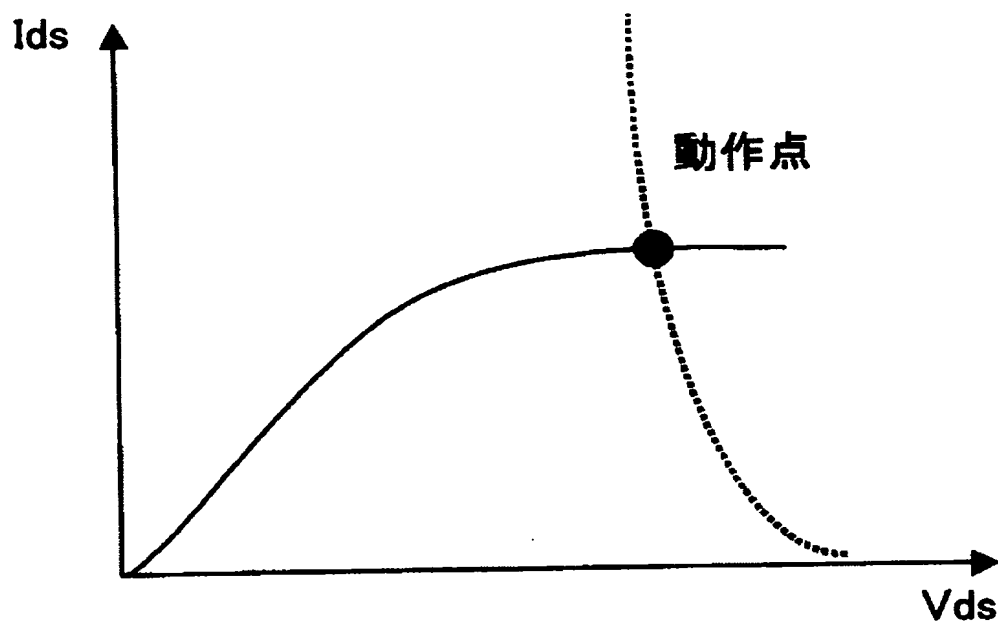
[図4]

FIG. 4

2b

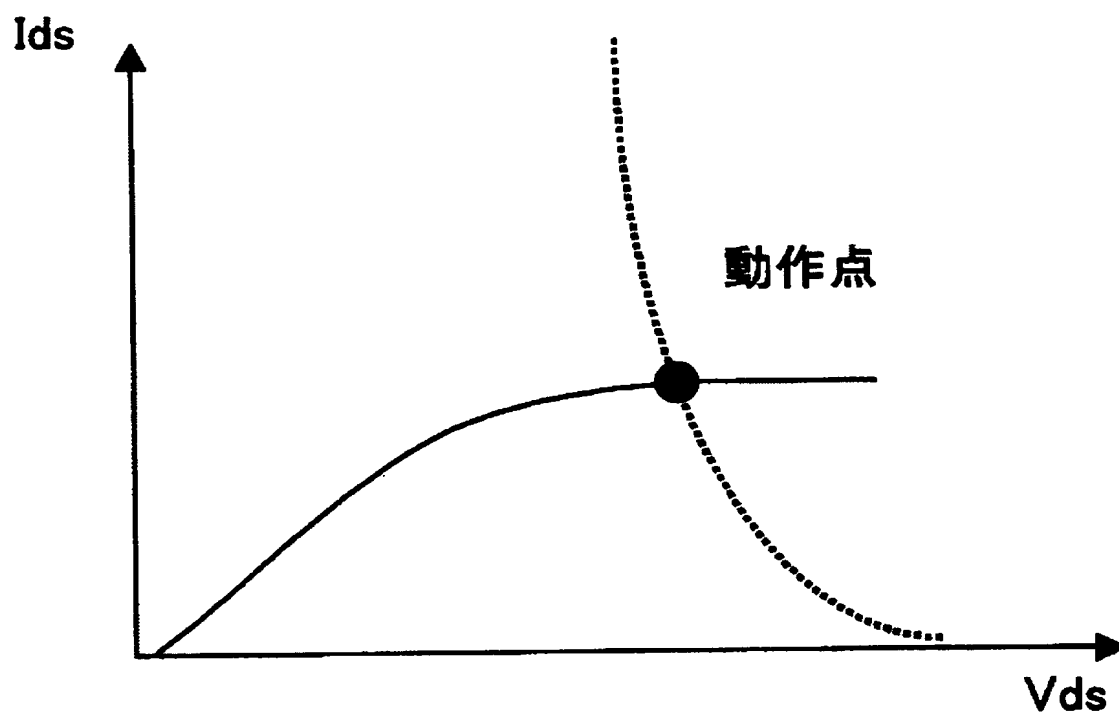
[図5]

FIG. 5



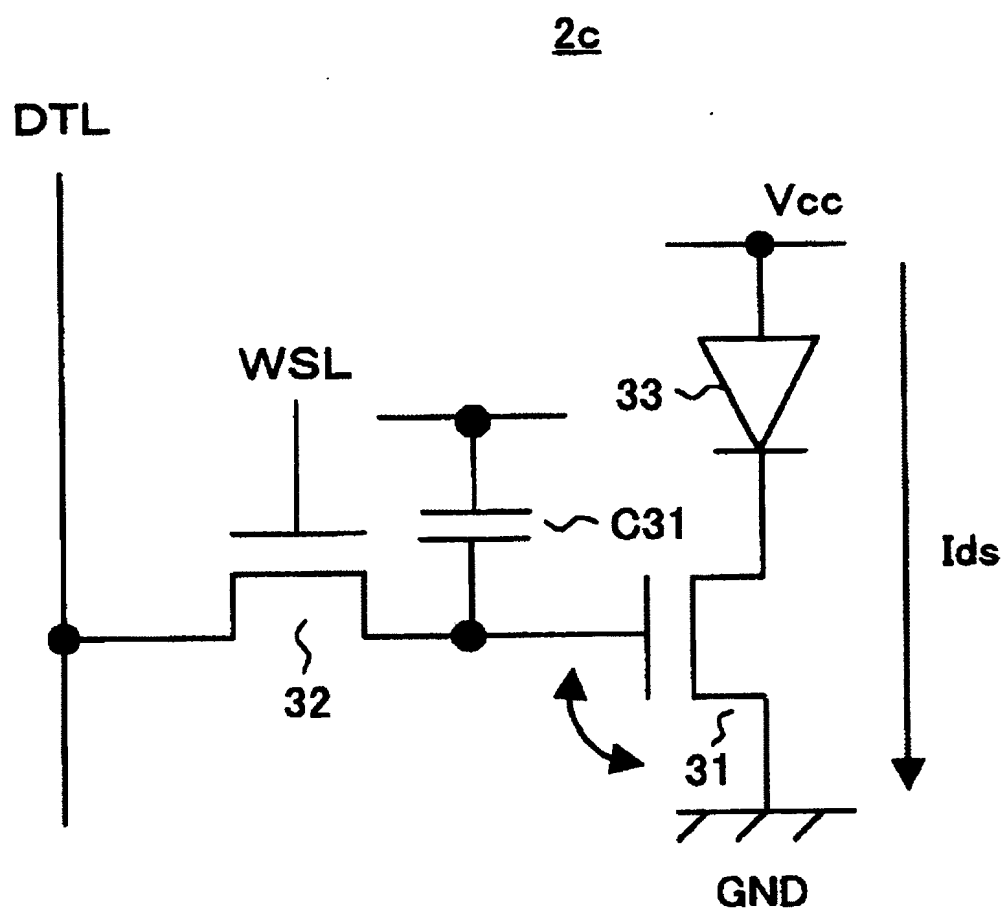
[図6]

FIG. 6



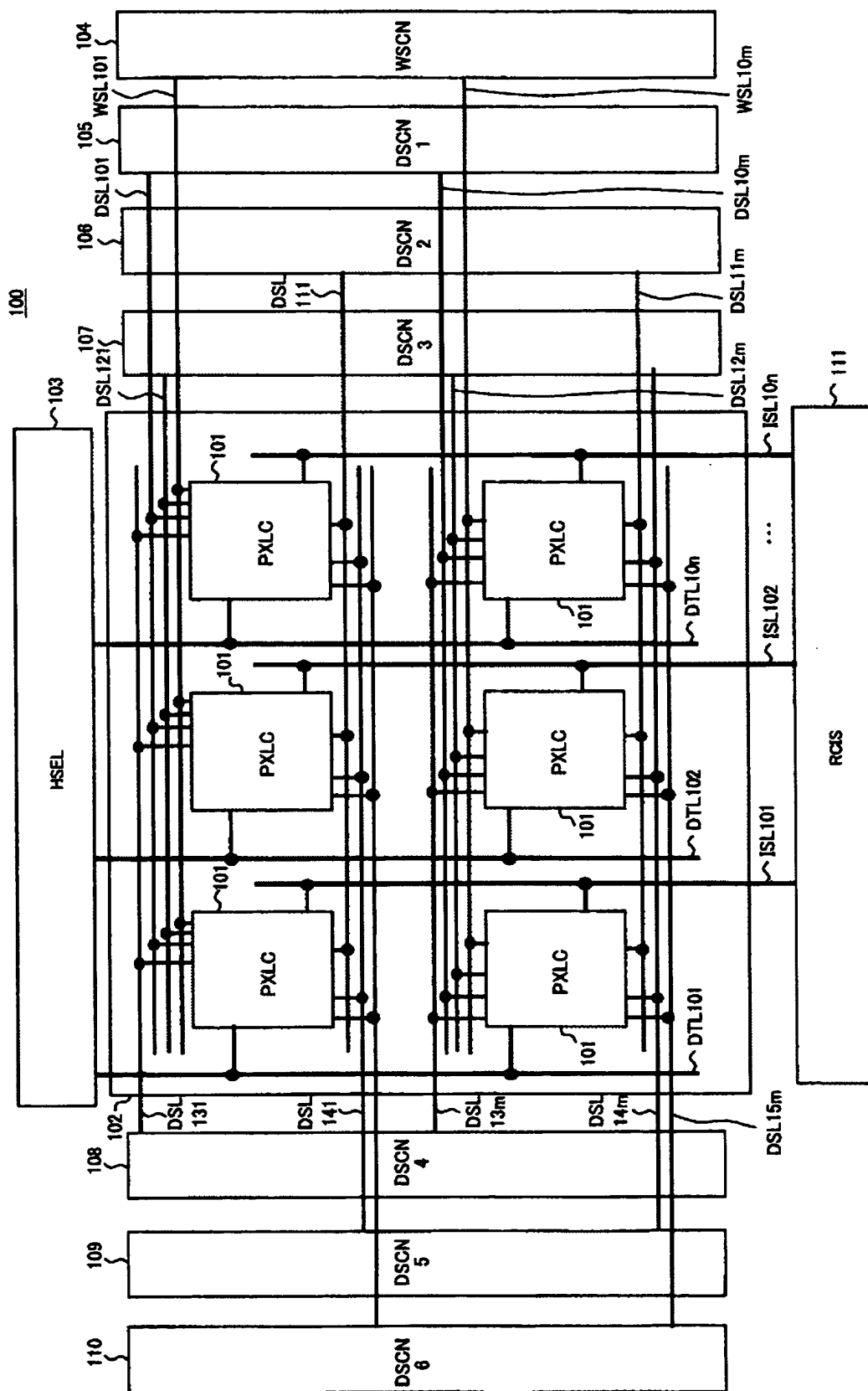
[図7]

FIG. 7



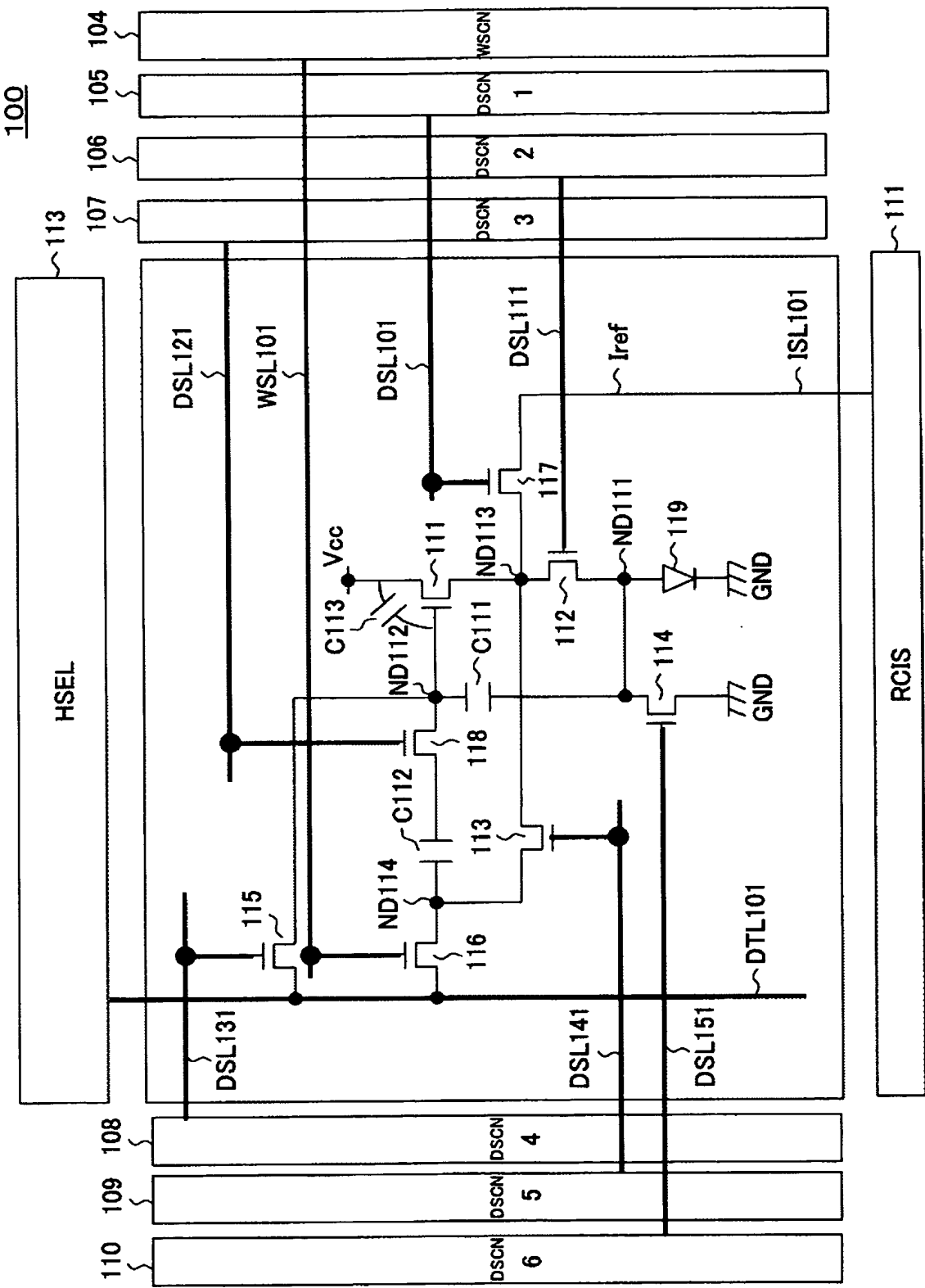
[8]

FIG. 8



[図9]

FIG. 9



[図10]

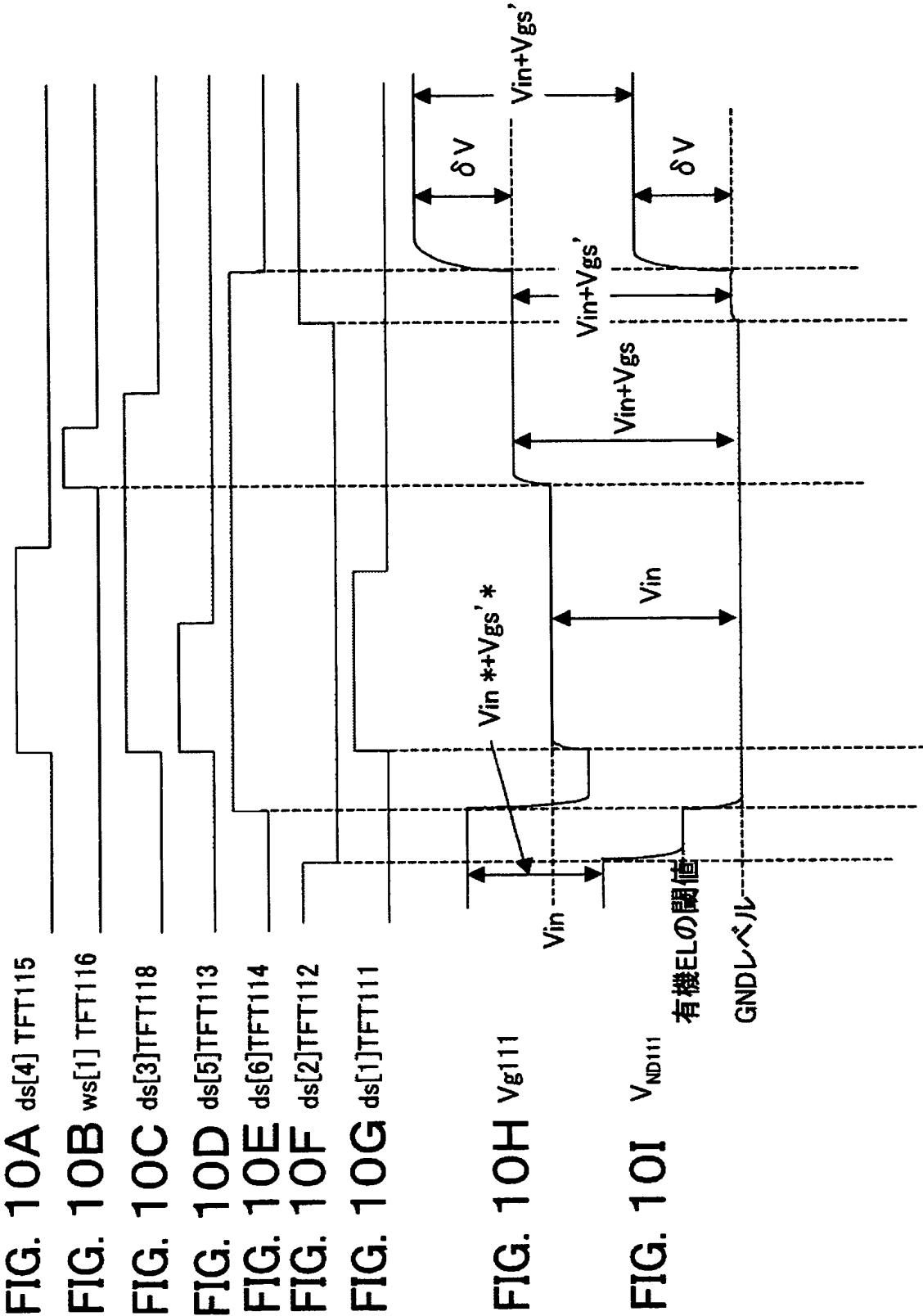
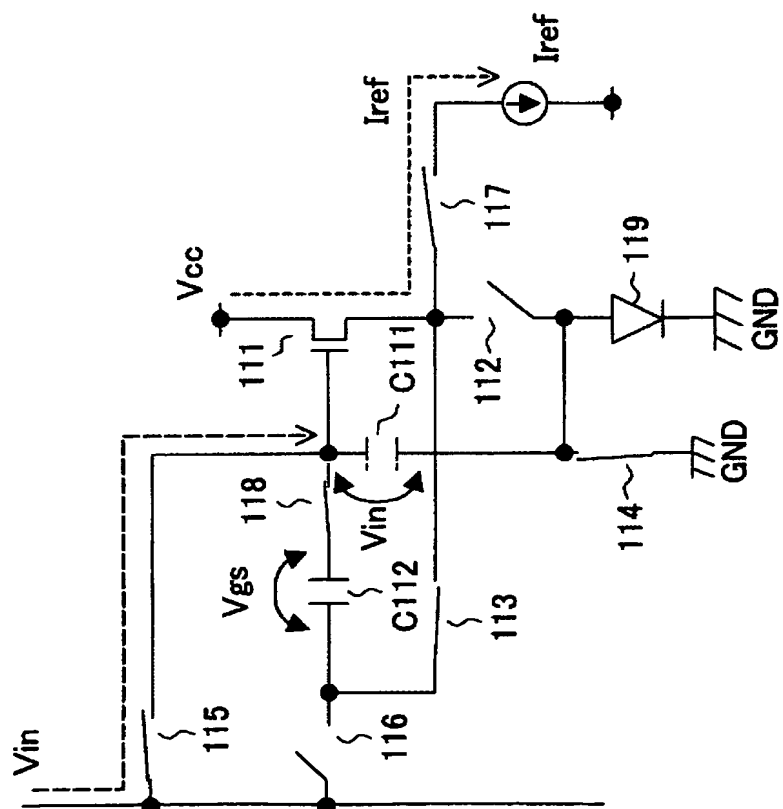
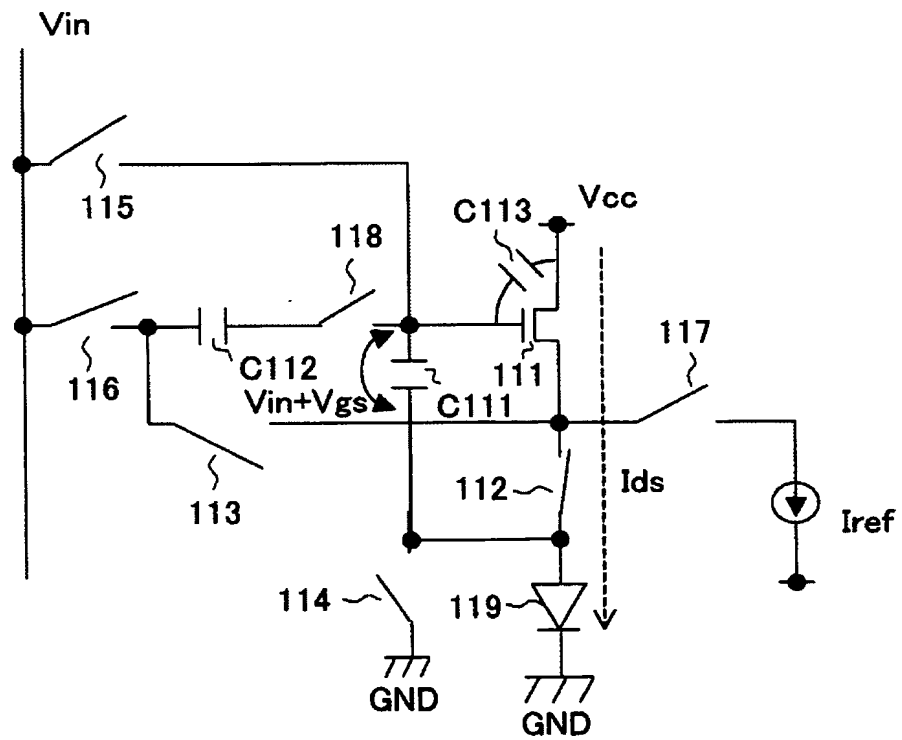


FIG. 12B



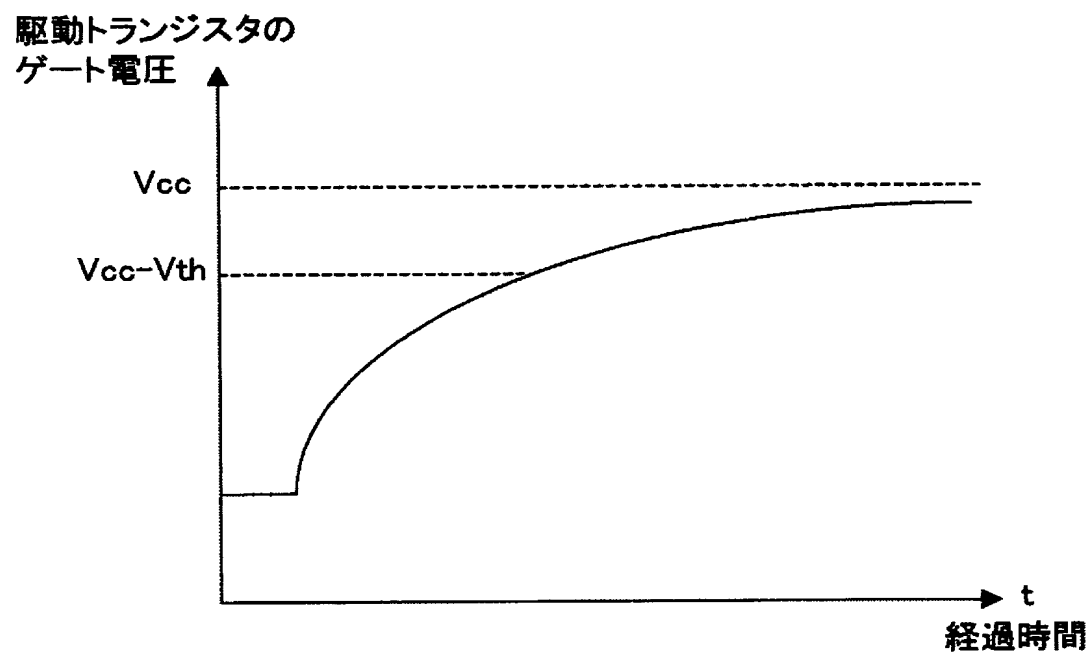
[図13]

FIG. 13



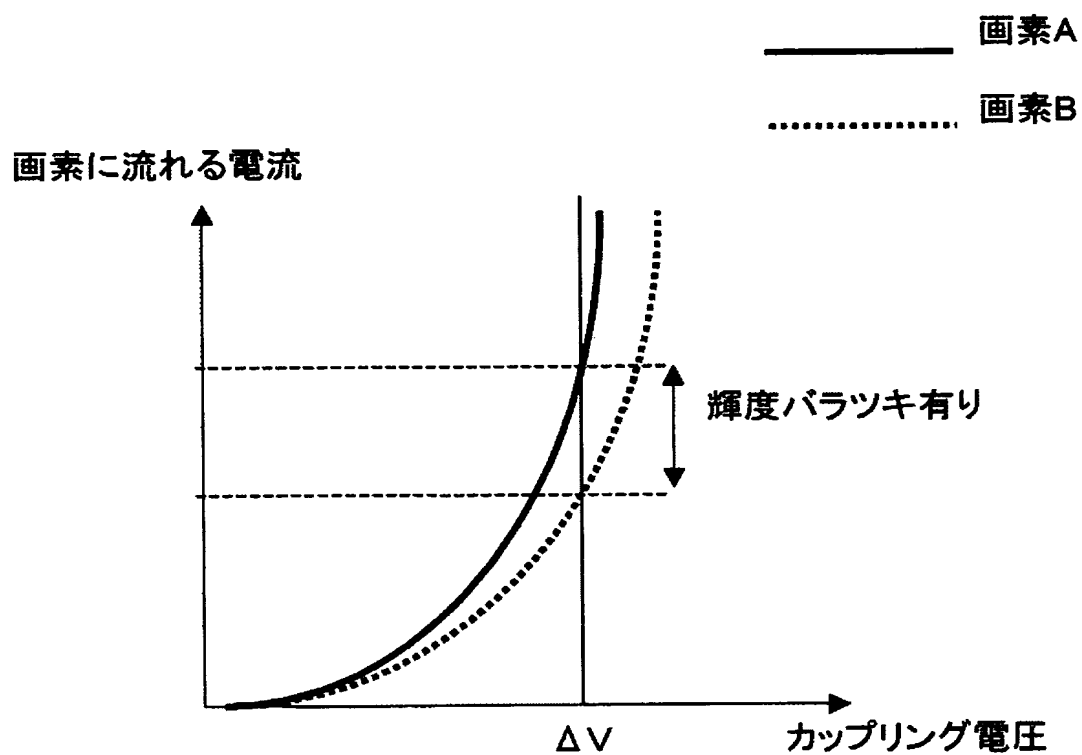
[図15]

FIG. 15



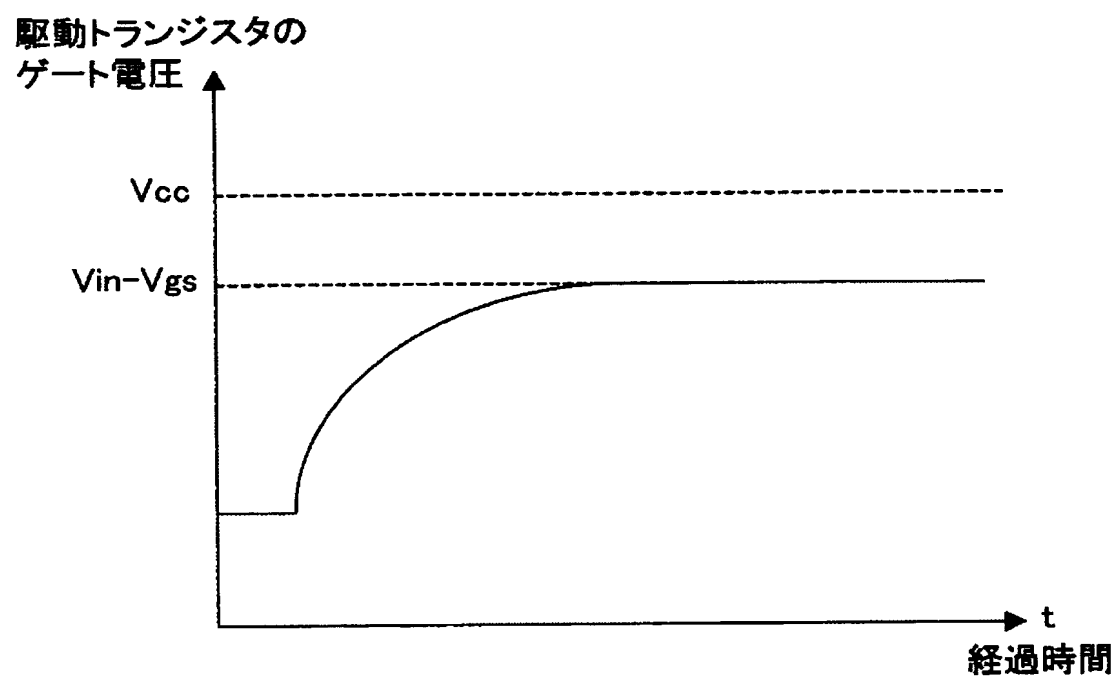
[図16]

FIG. 16



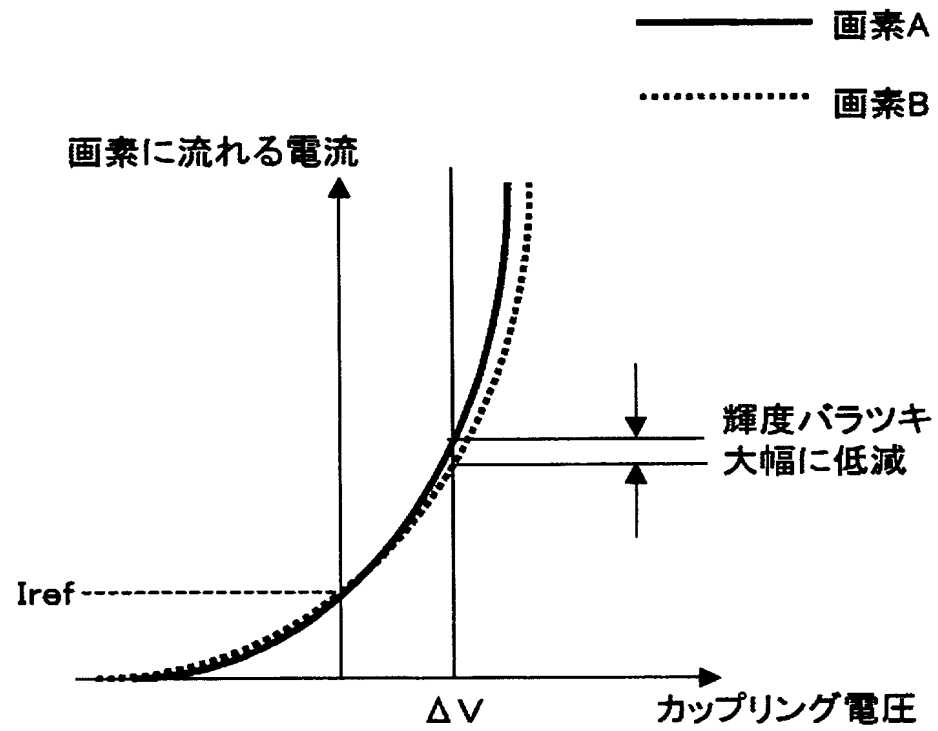
[図17]

FIG. 17



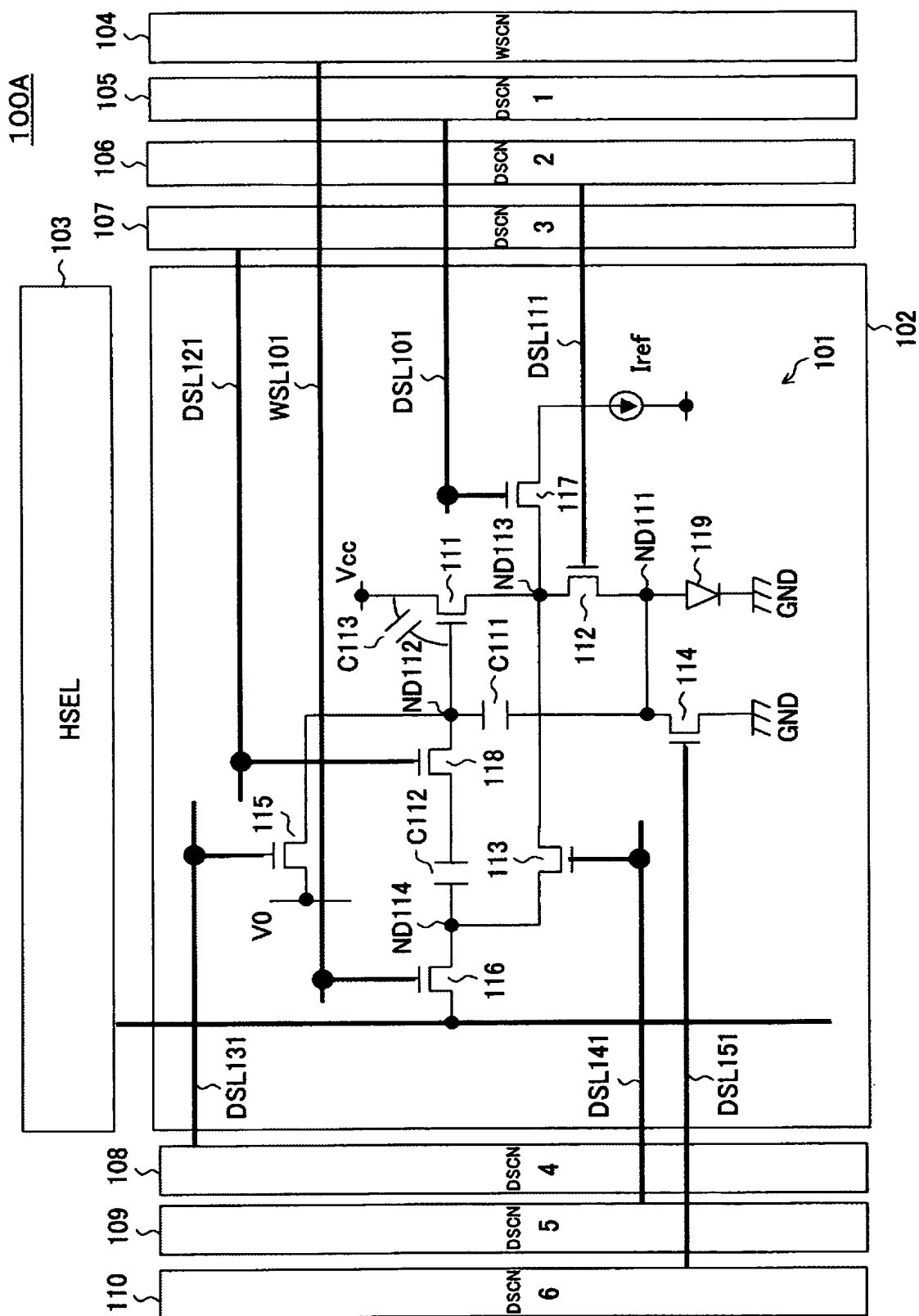
[図18]

FIG. 18

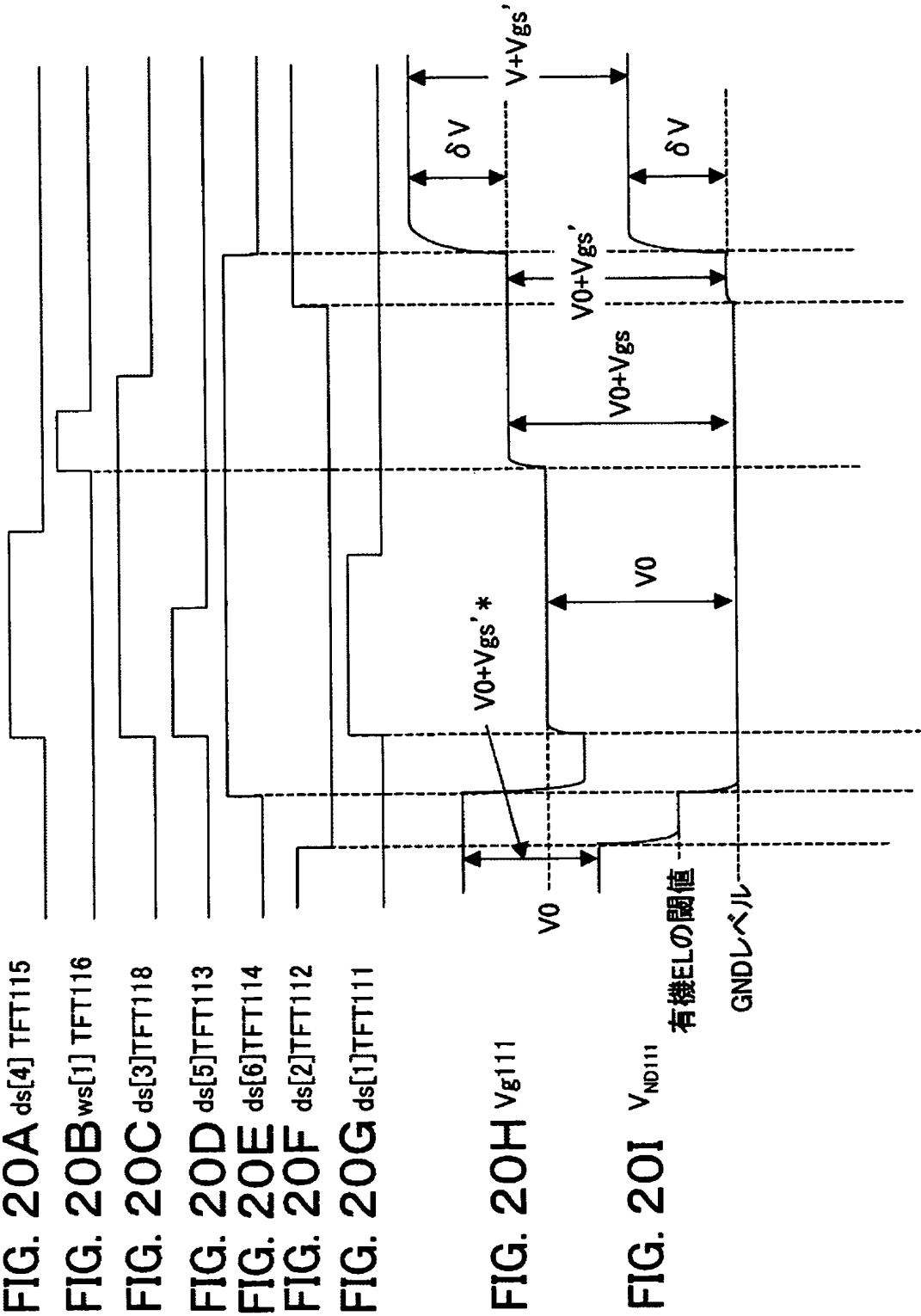


[図19]

FIG. 19

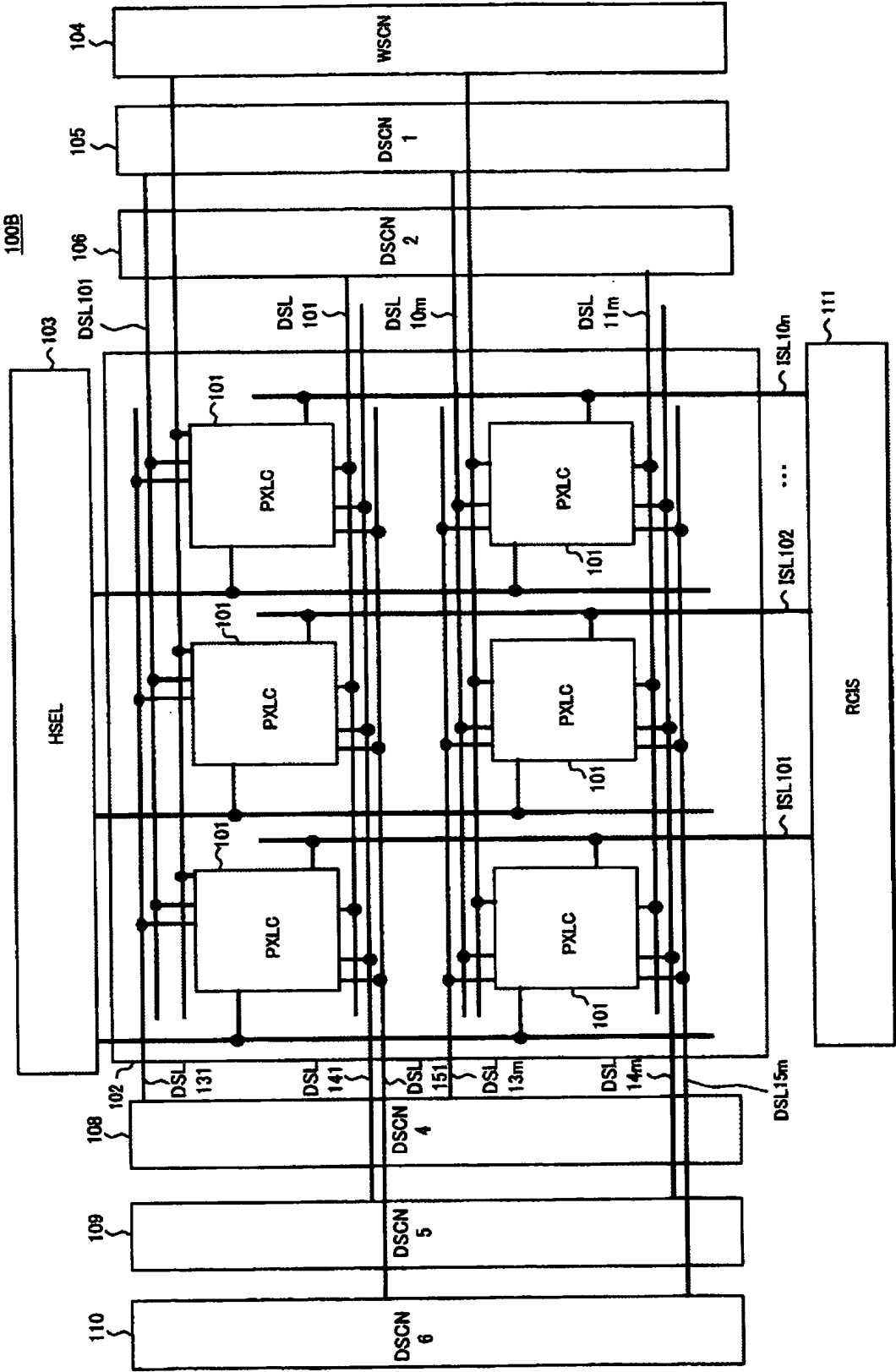


[図20]



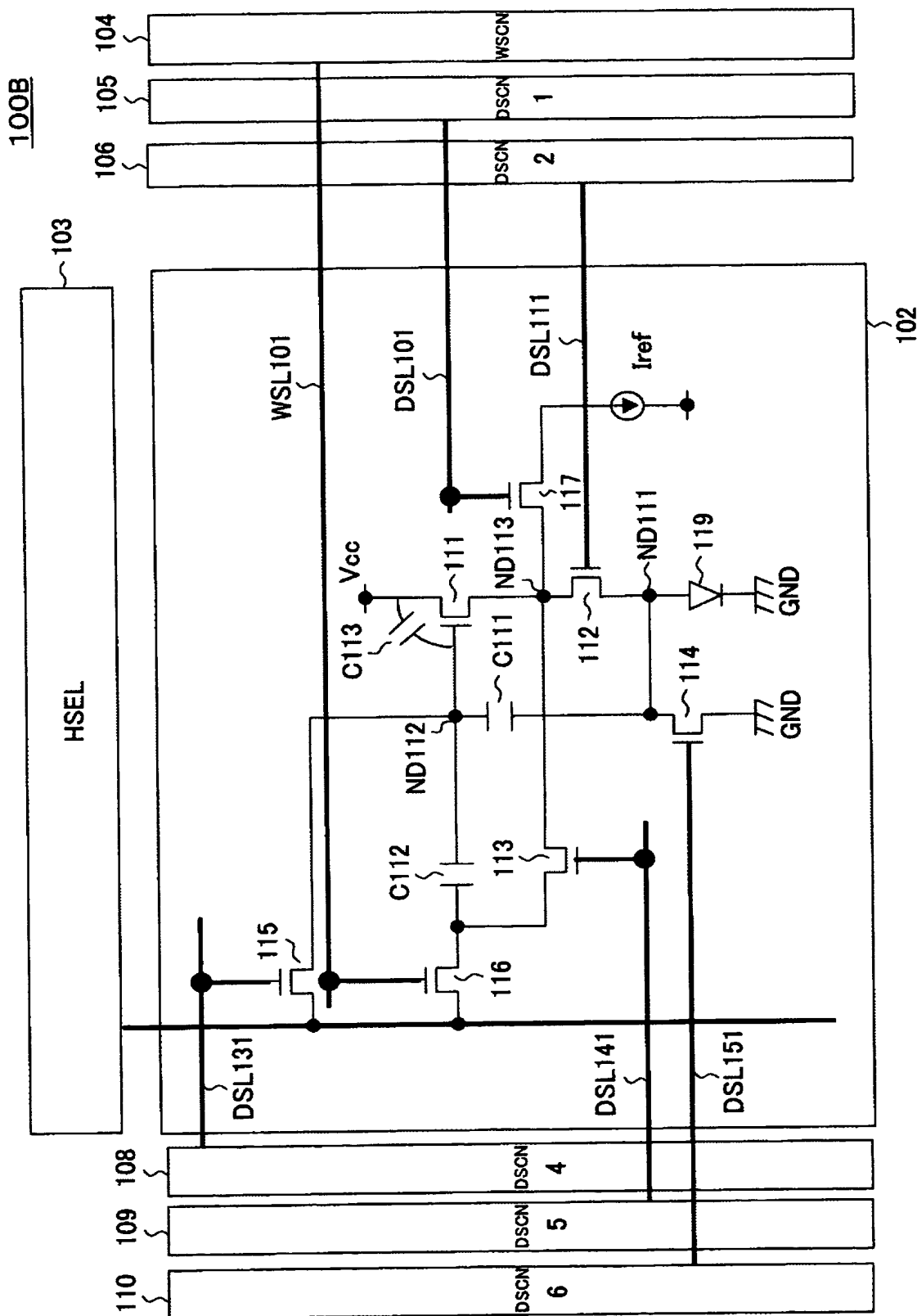
[図21]

FIG. 21

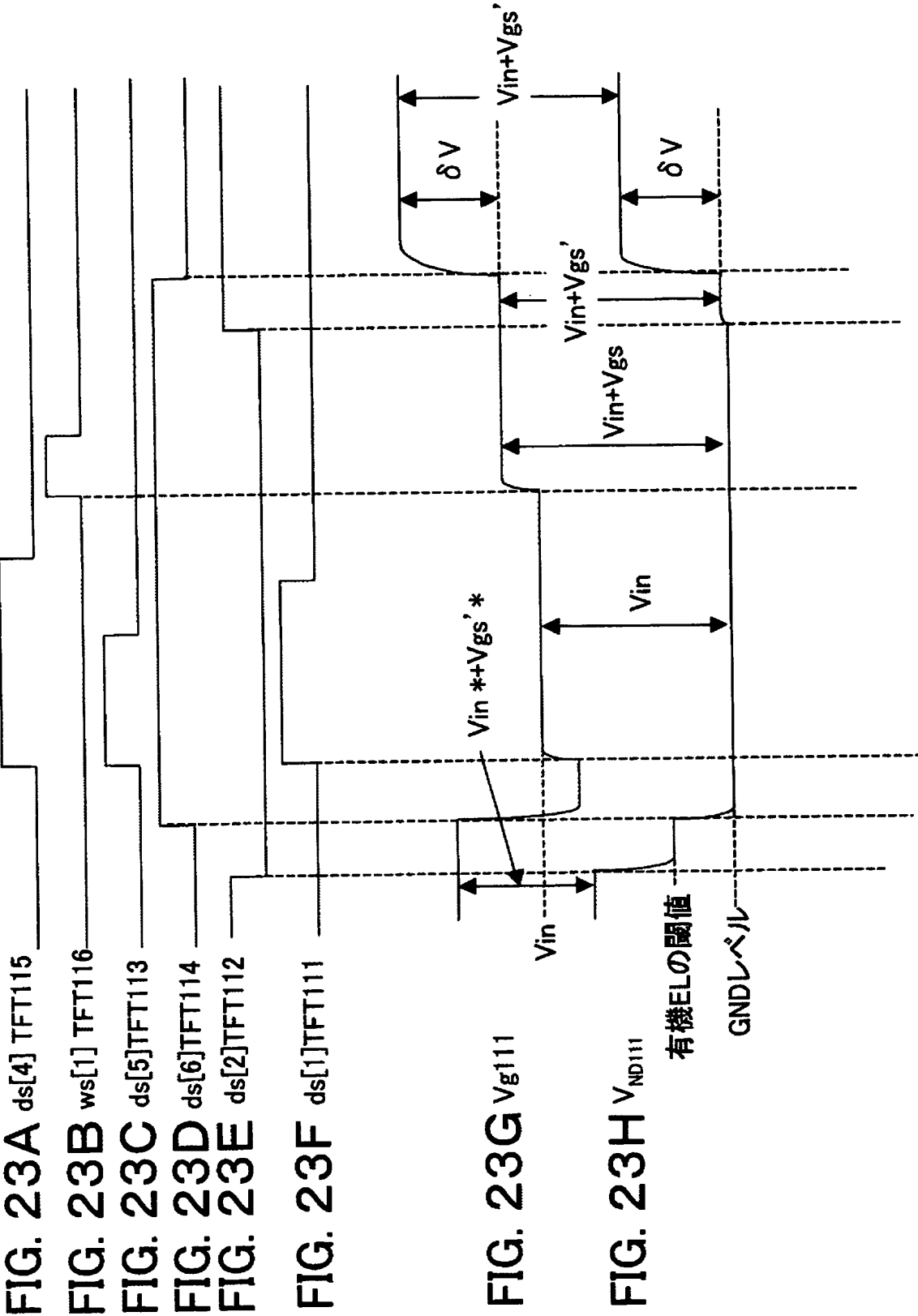


[FIG. 22]

FIG. 22

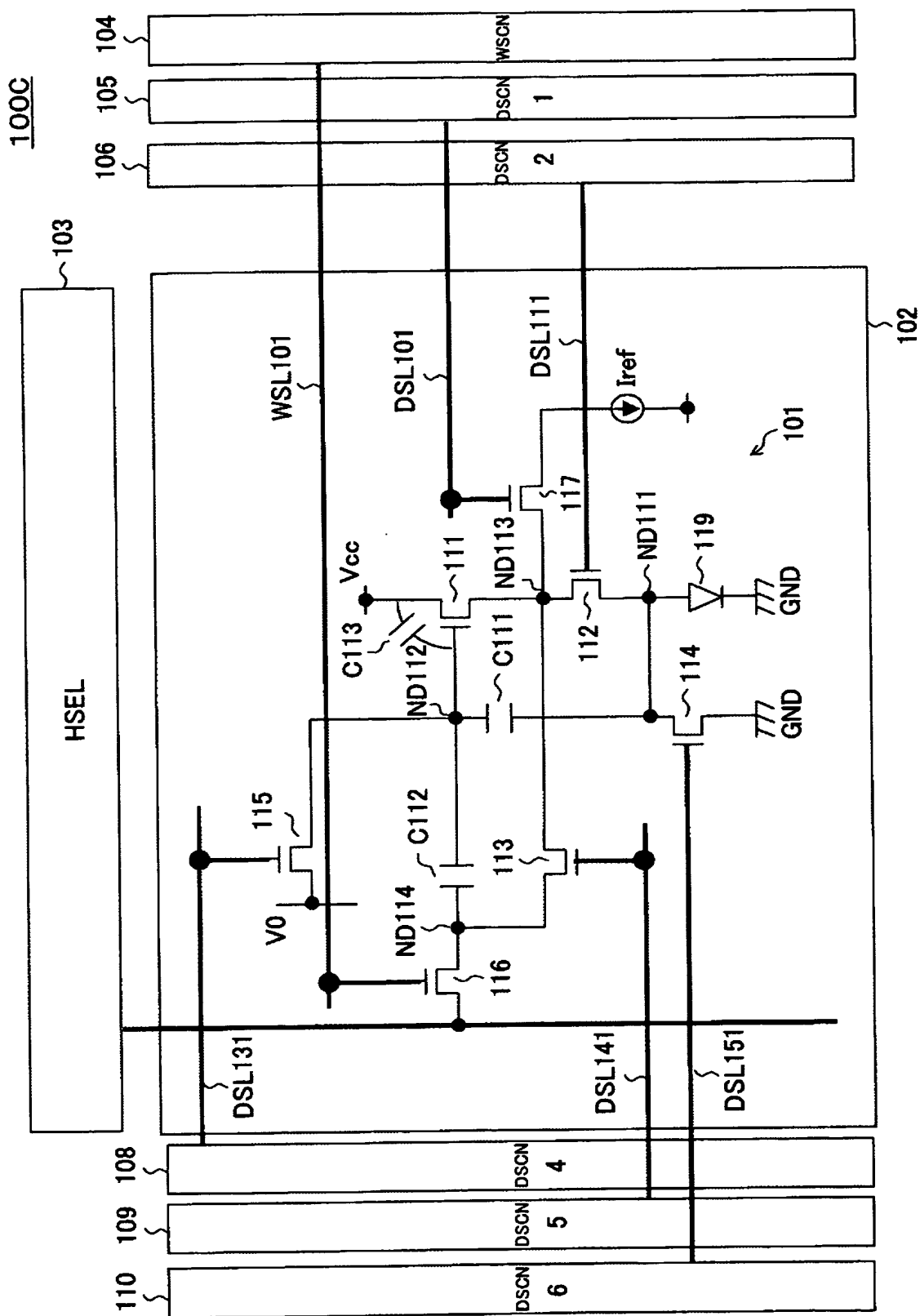


[図23]

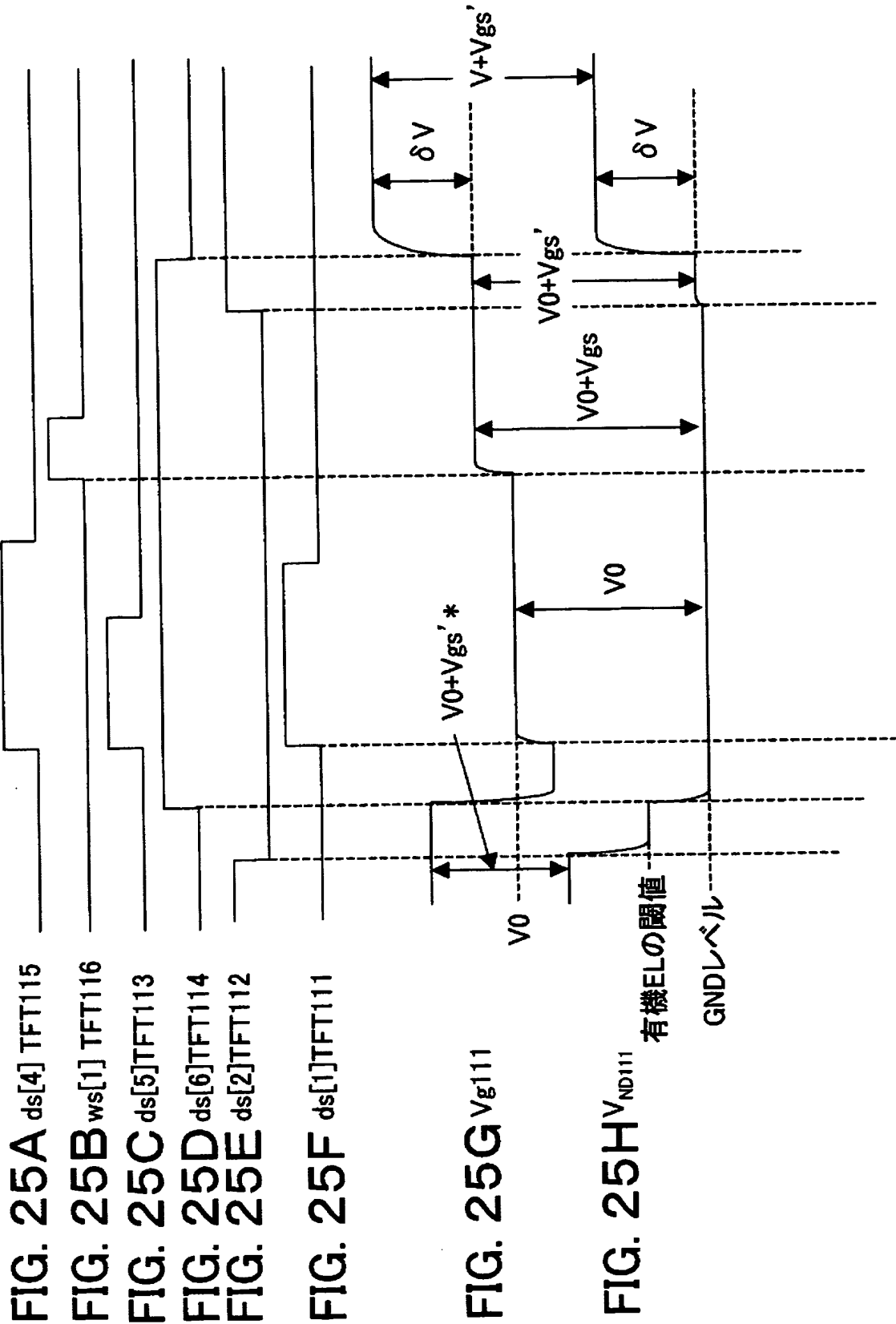


[FIG. 24]

FIG. 24

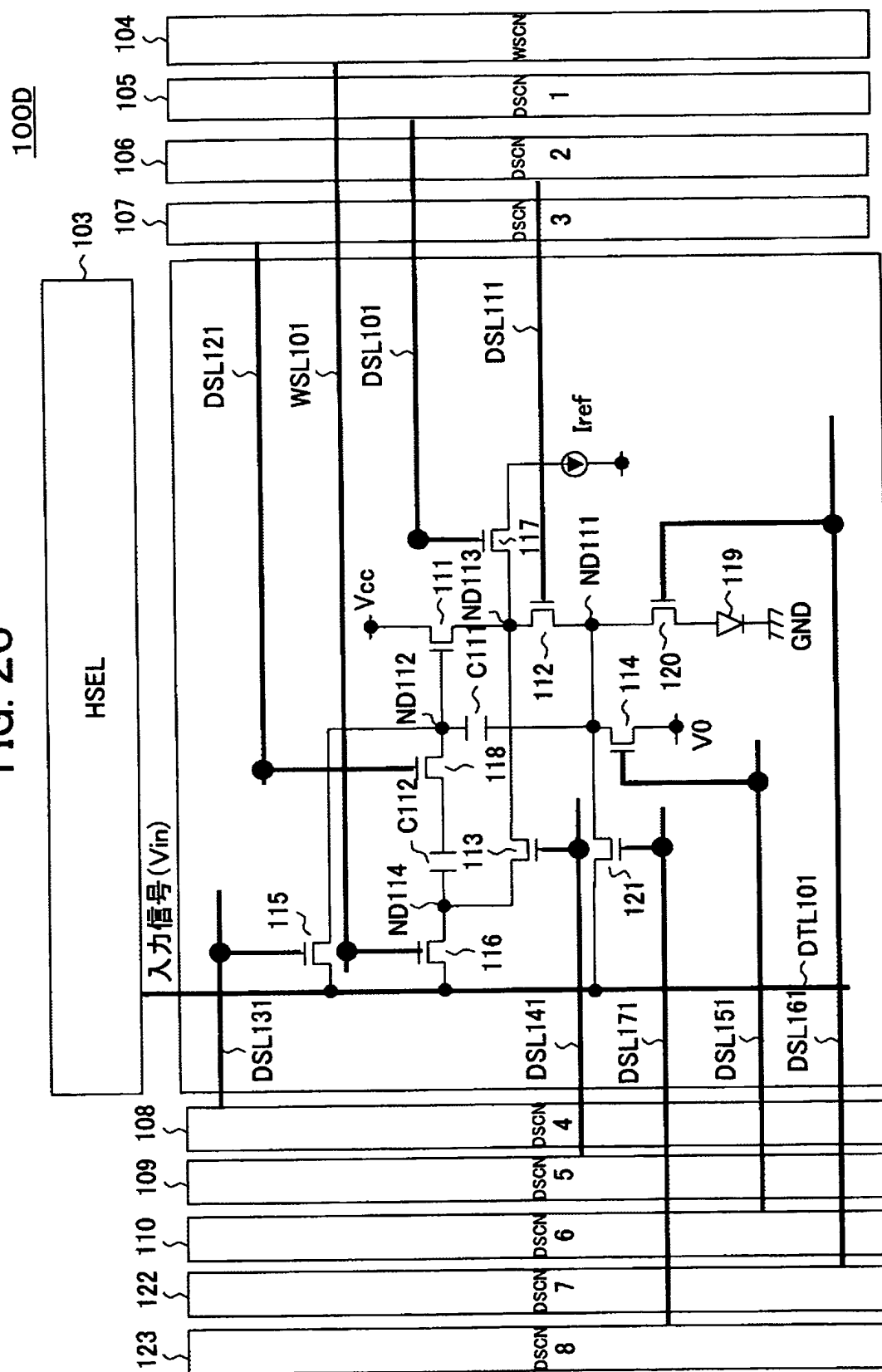


[図25]



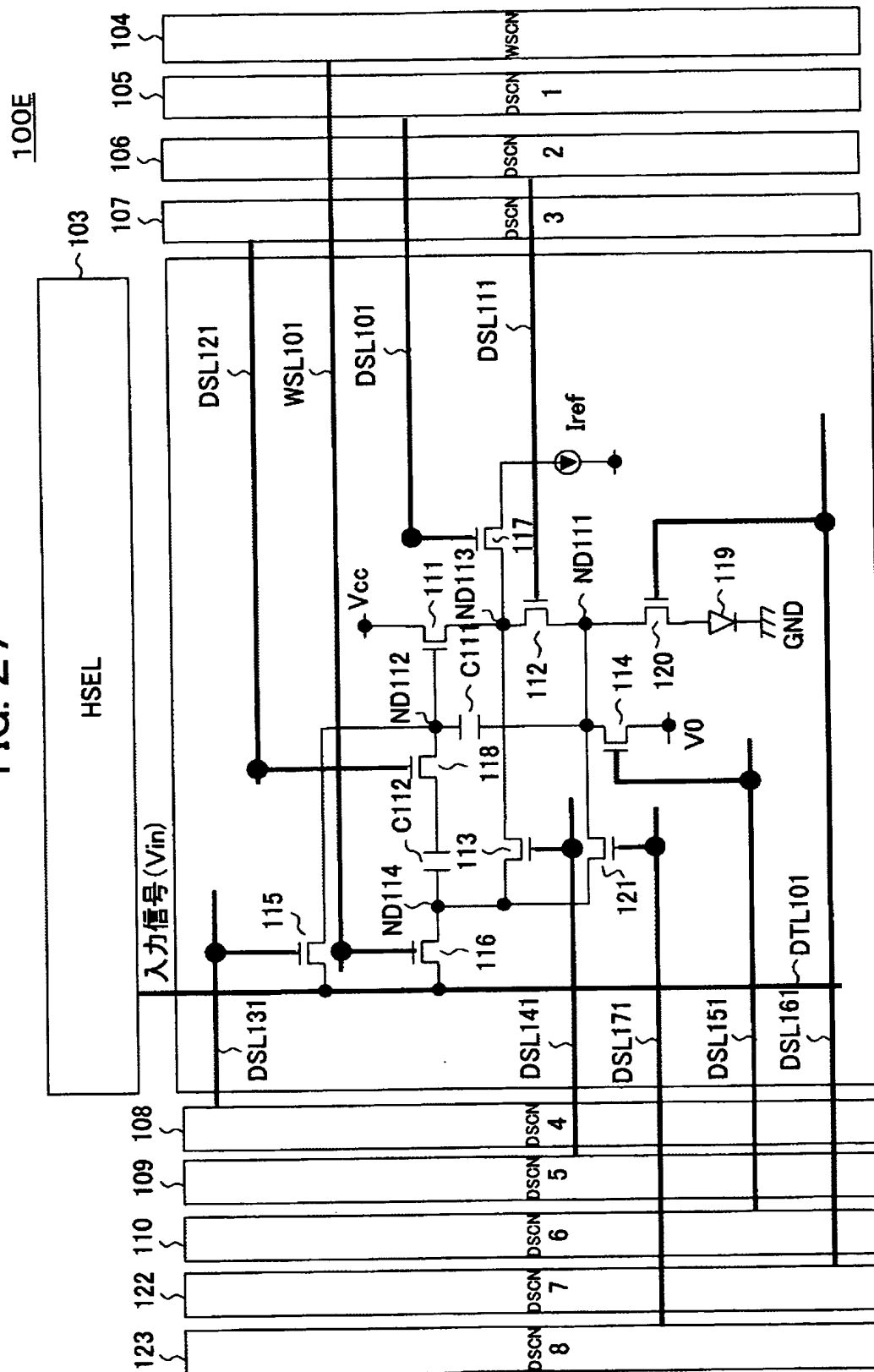
[図26]

FIG. 26

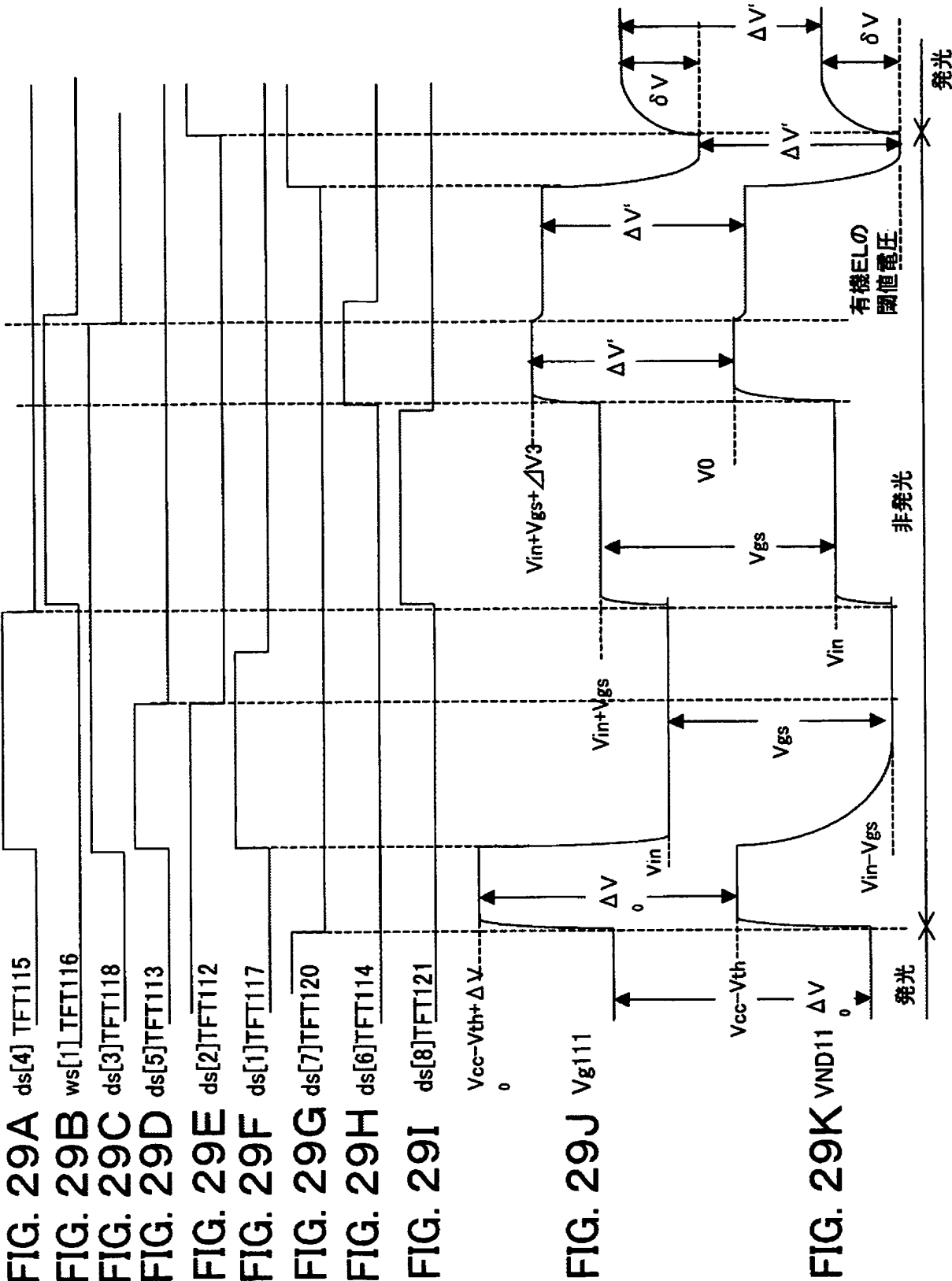


[図27]

FIG. 27



[図29]



[図31]

FIG. 31A

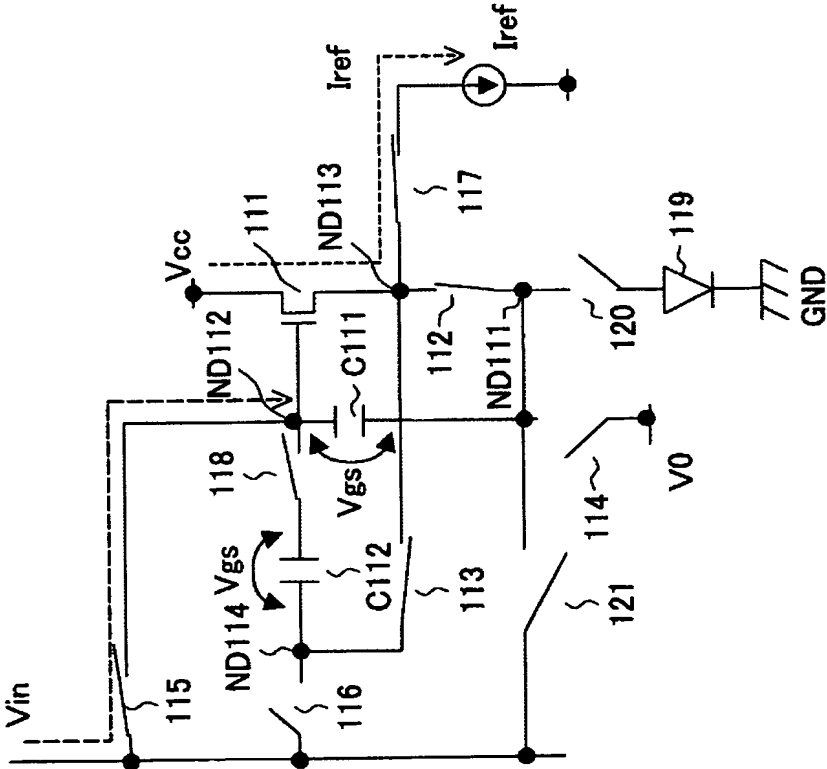
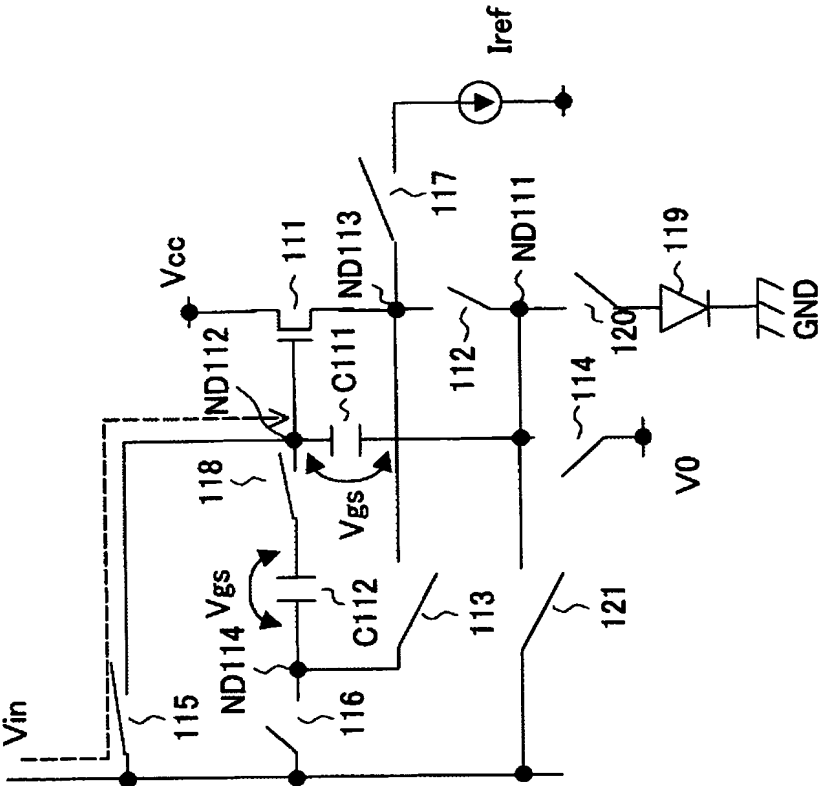


FIG. 31B



[32]

FIG. 32B

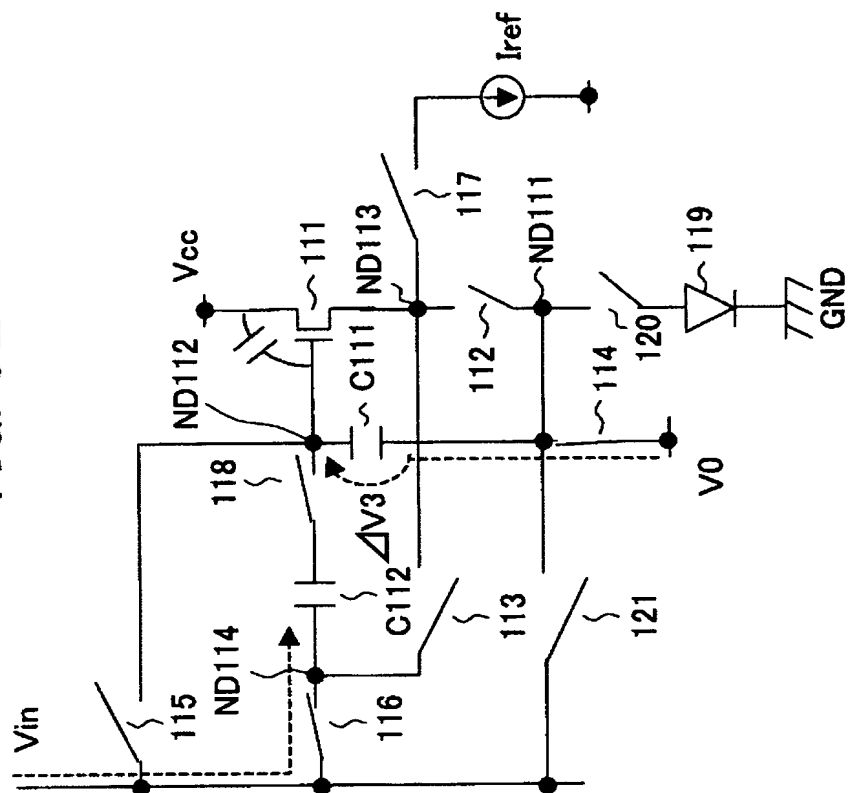
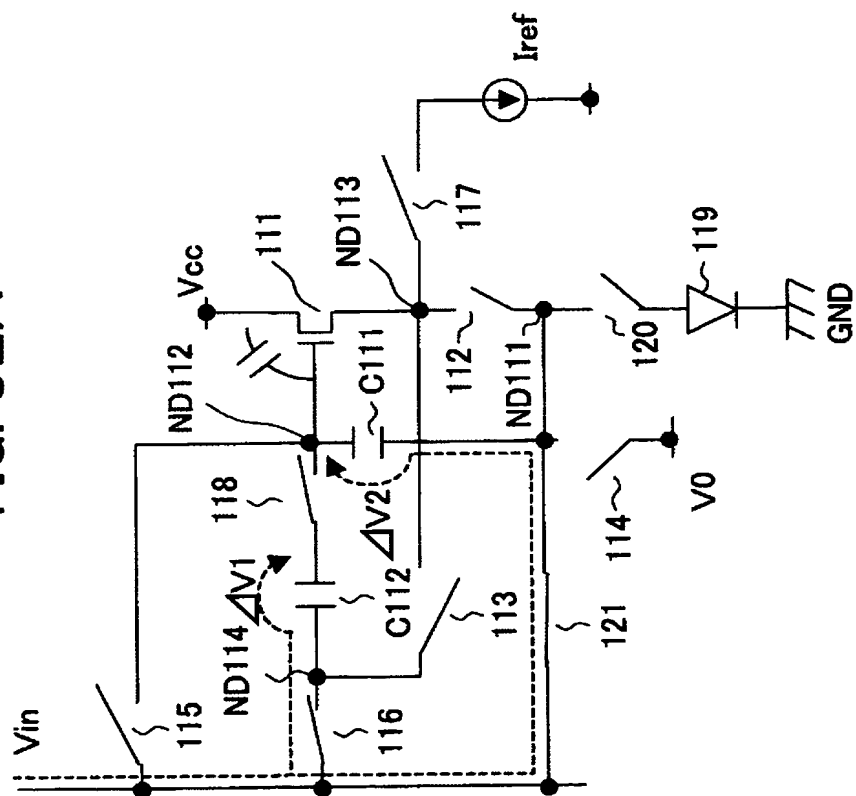


FIG. 32A



[33]

FIG. 33B

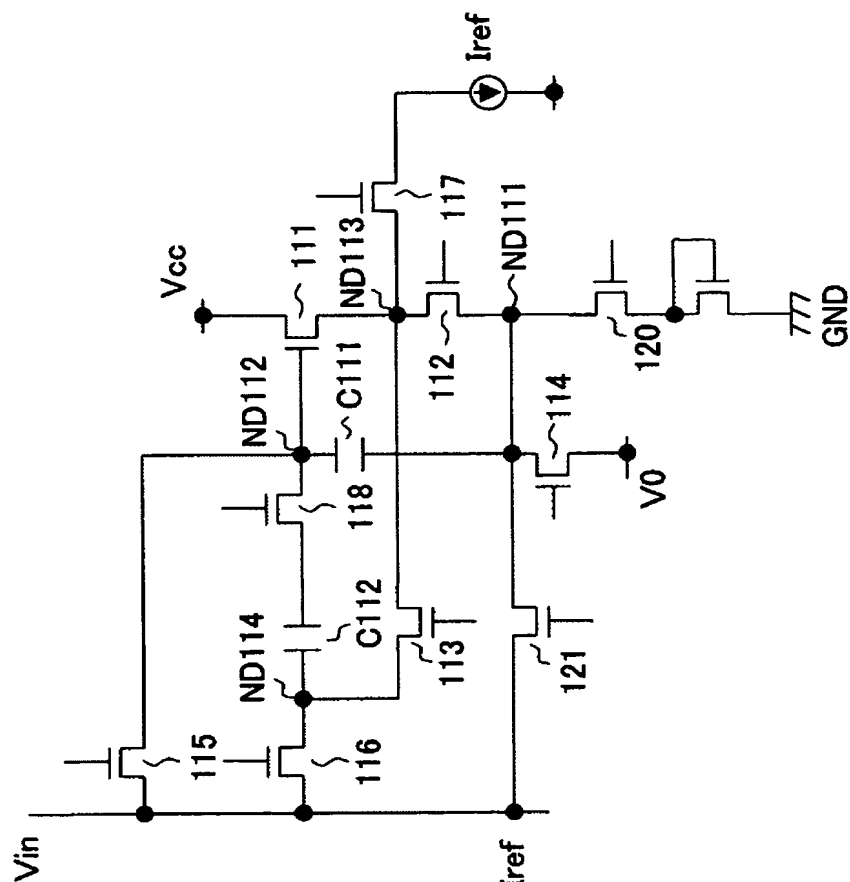
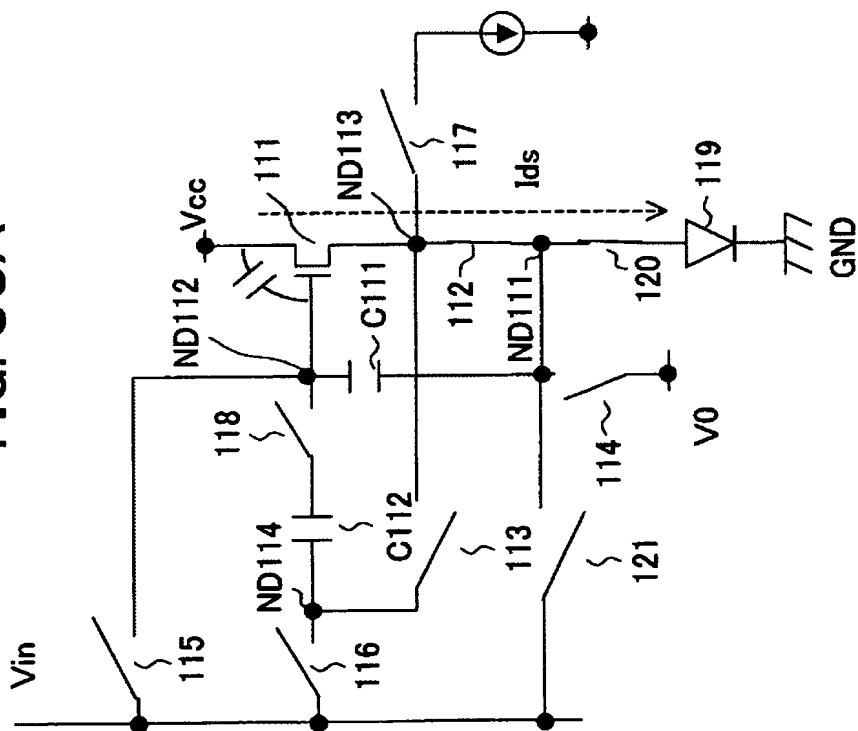
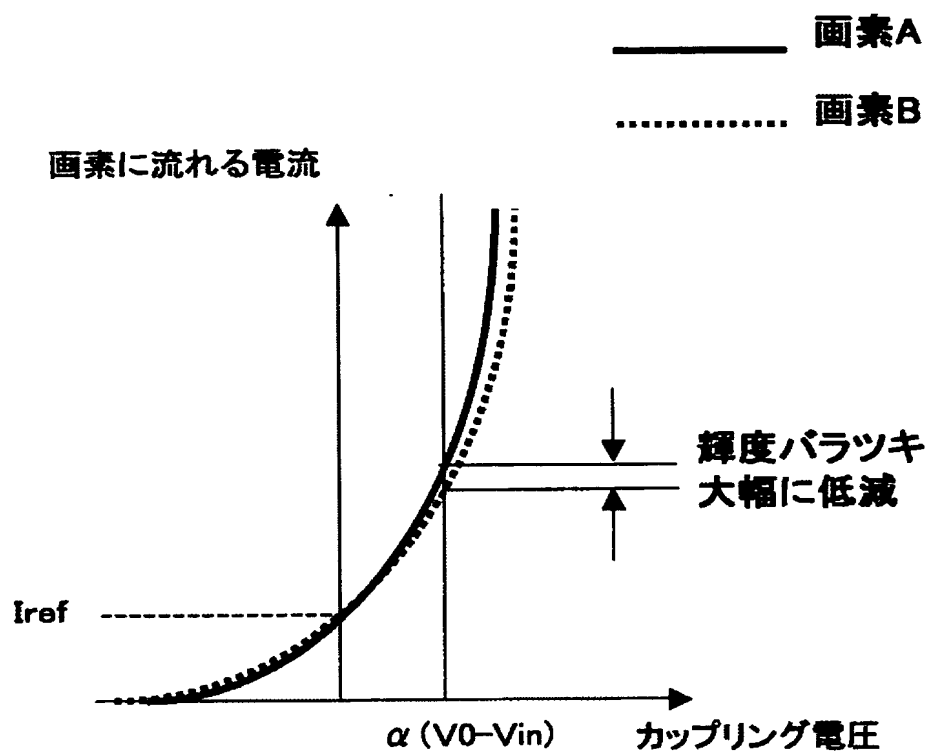


FIG. 33A



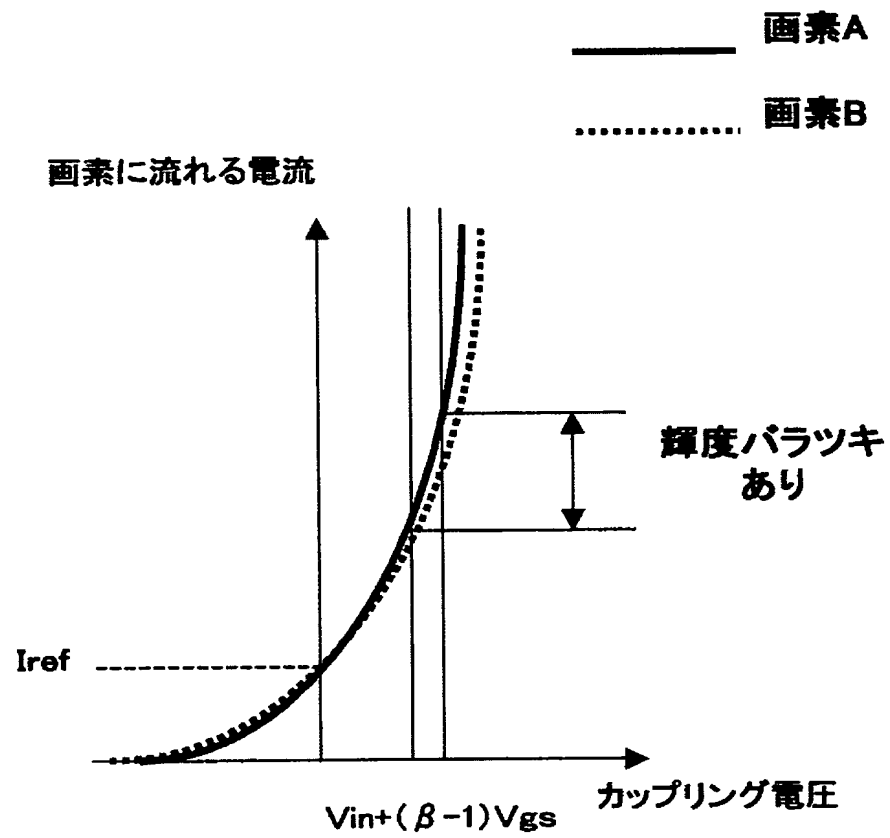
[図34]

FIG. 34



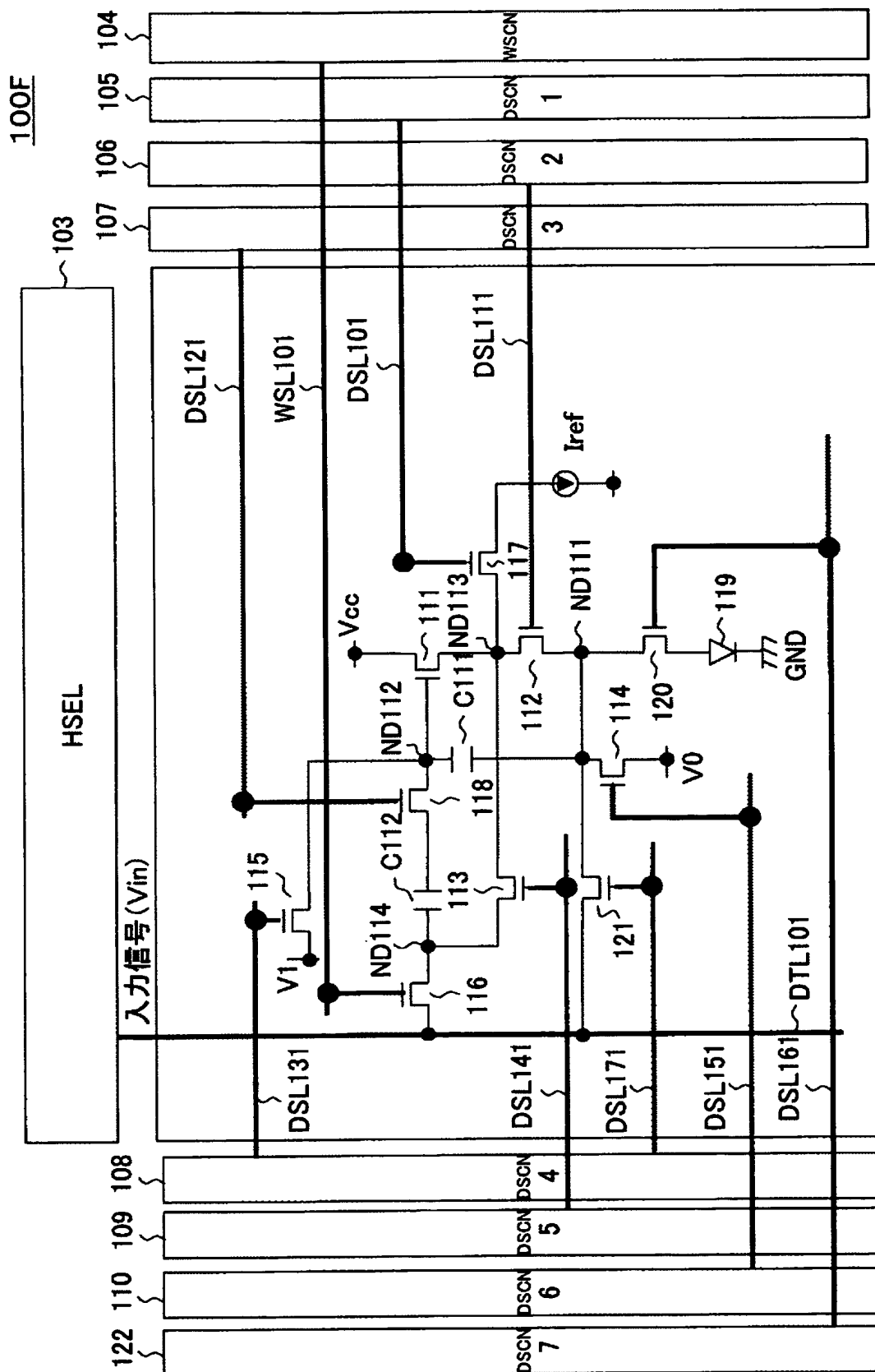
[図35]

FIG. 35



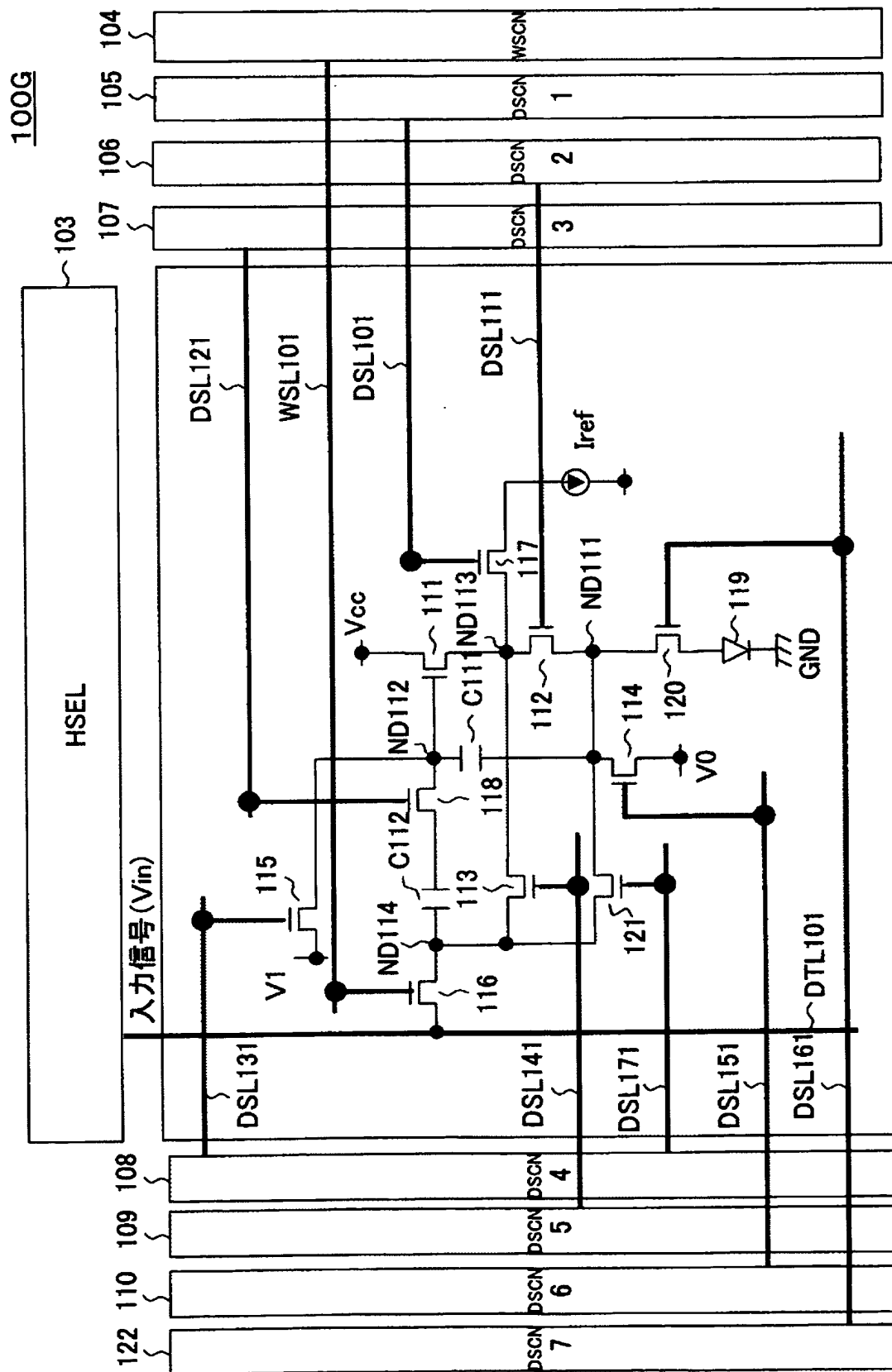
[図36]

FIG. 36

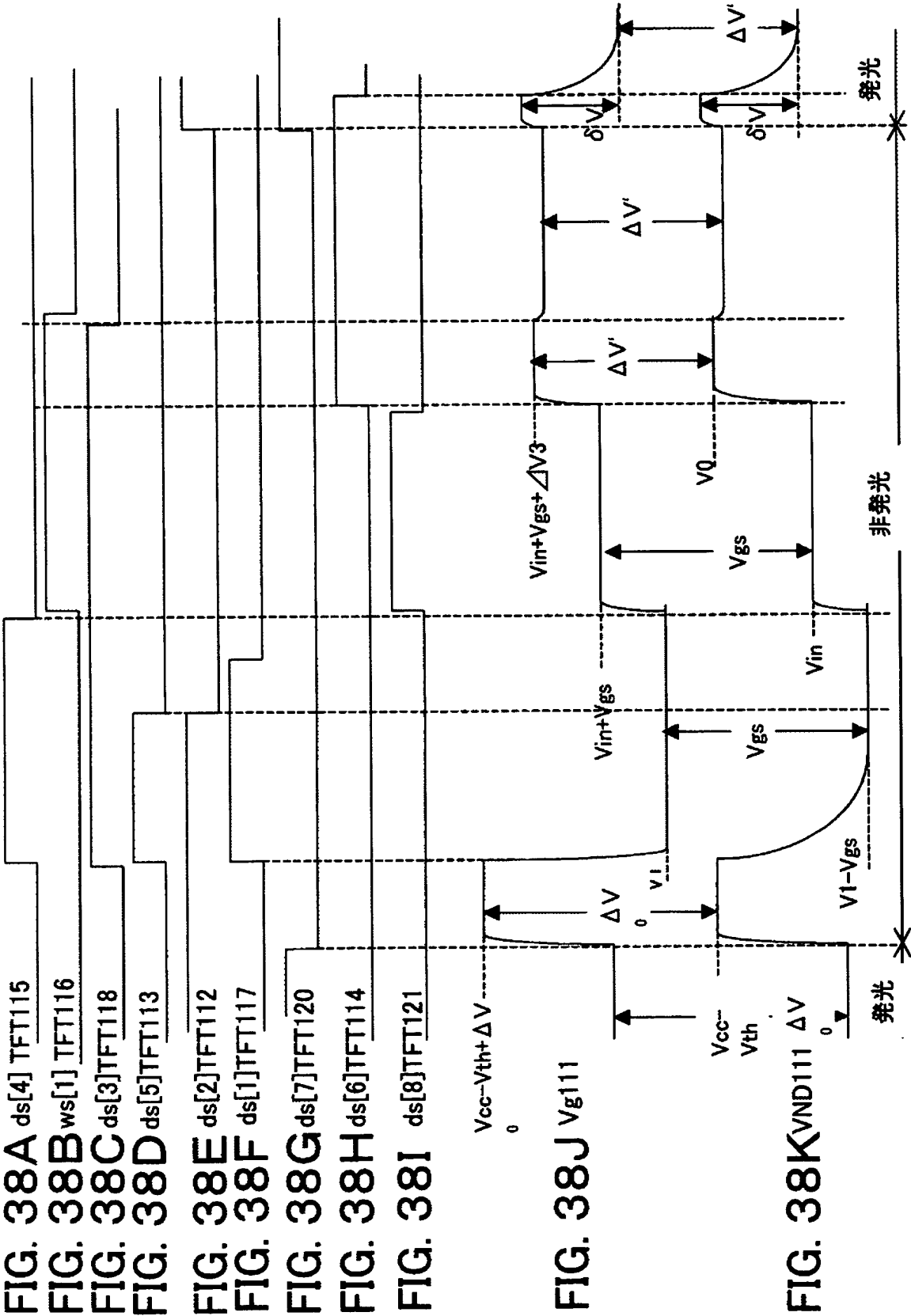


[図37]

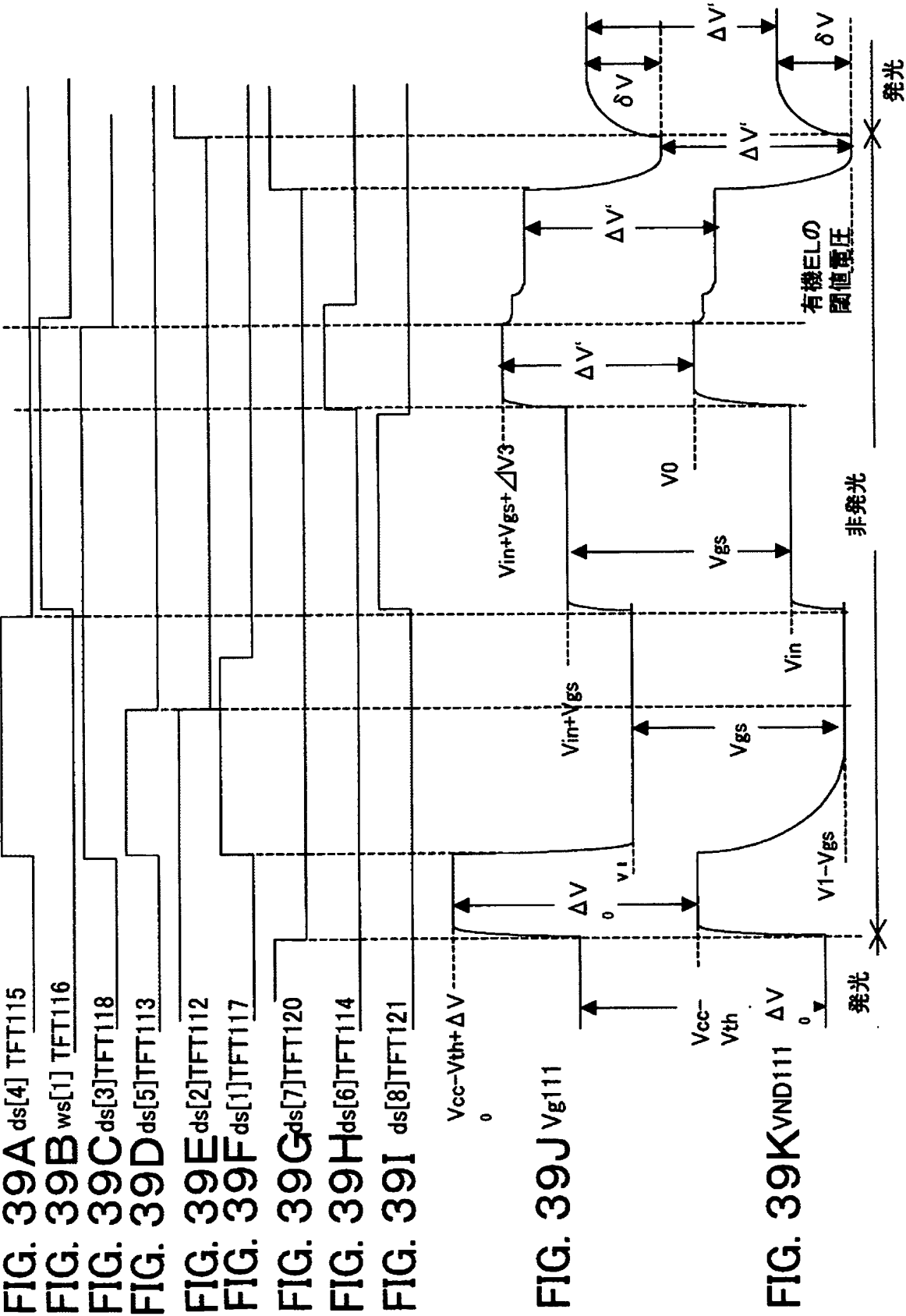
FIG. 37



[図38]

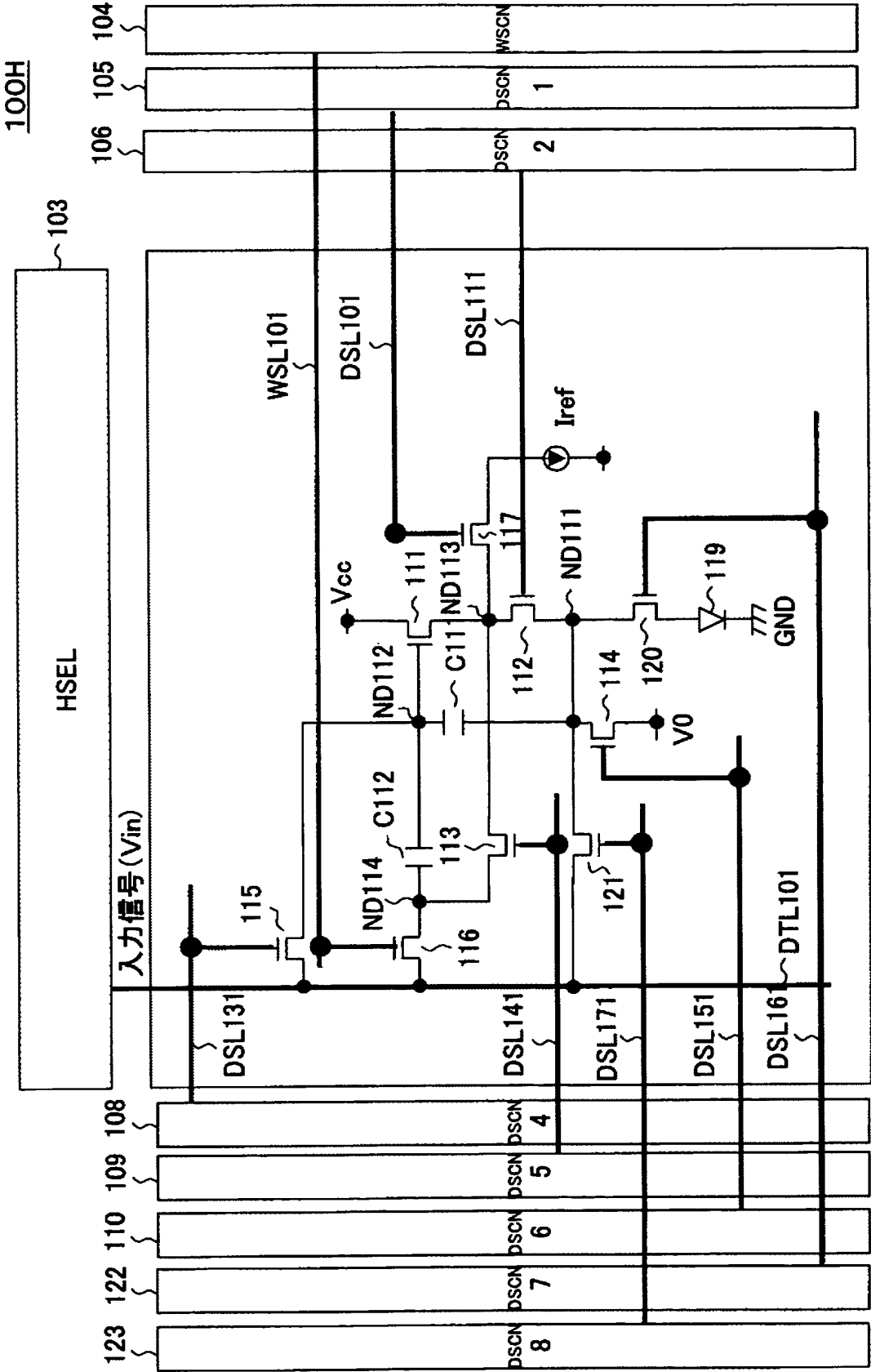


[図39]



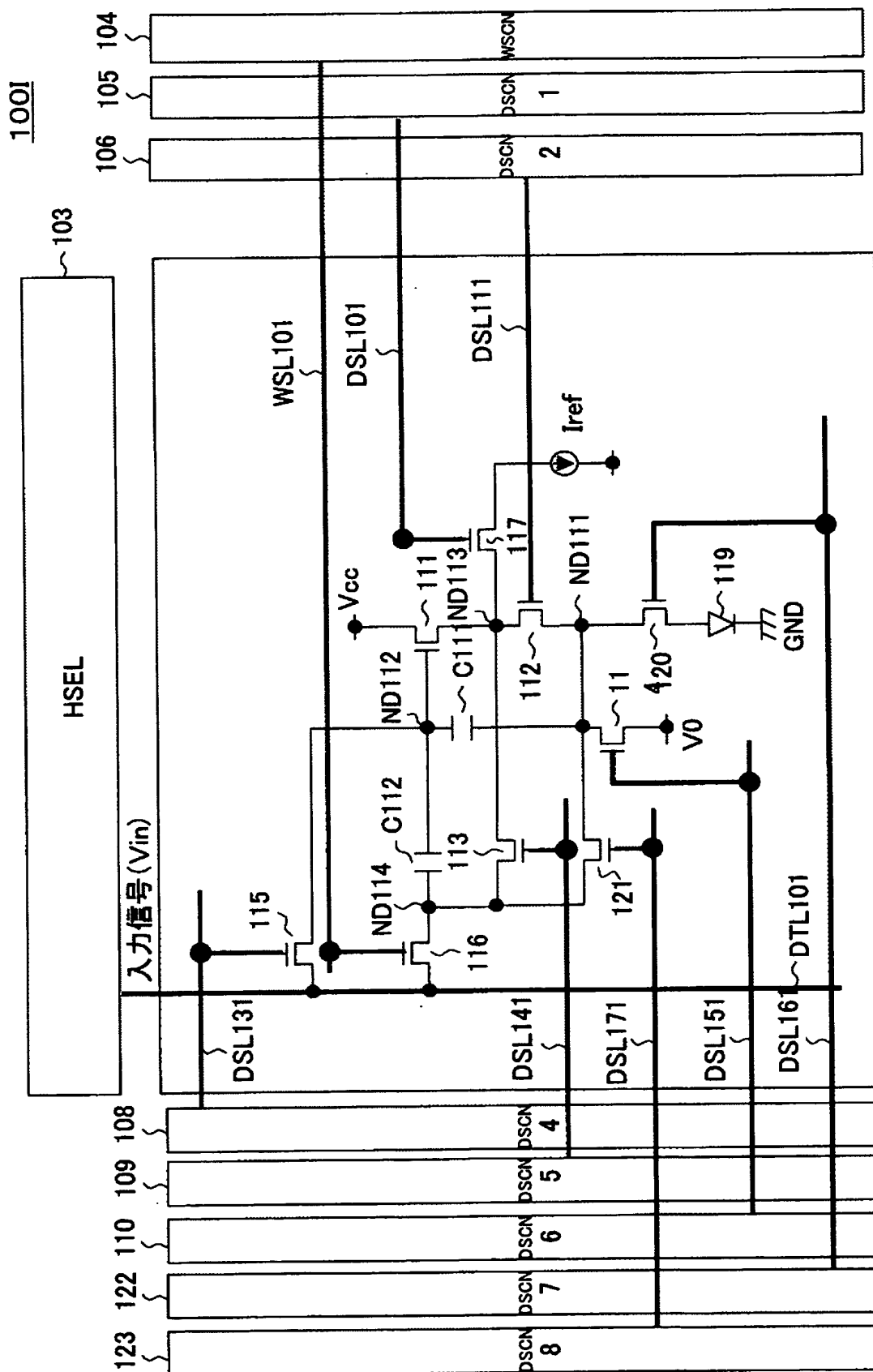
[図40]

FIG. 40

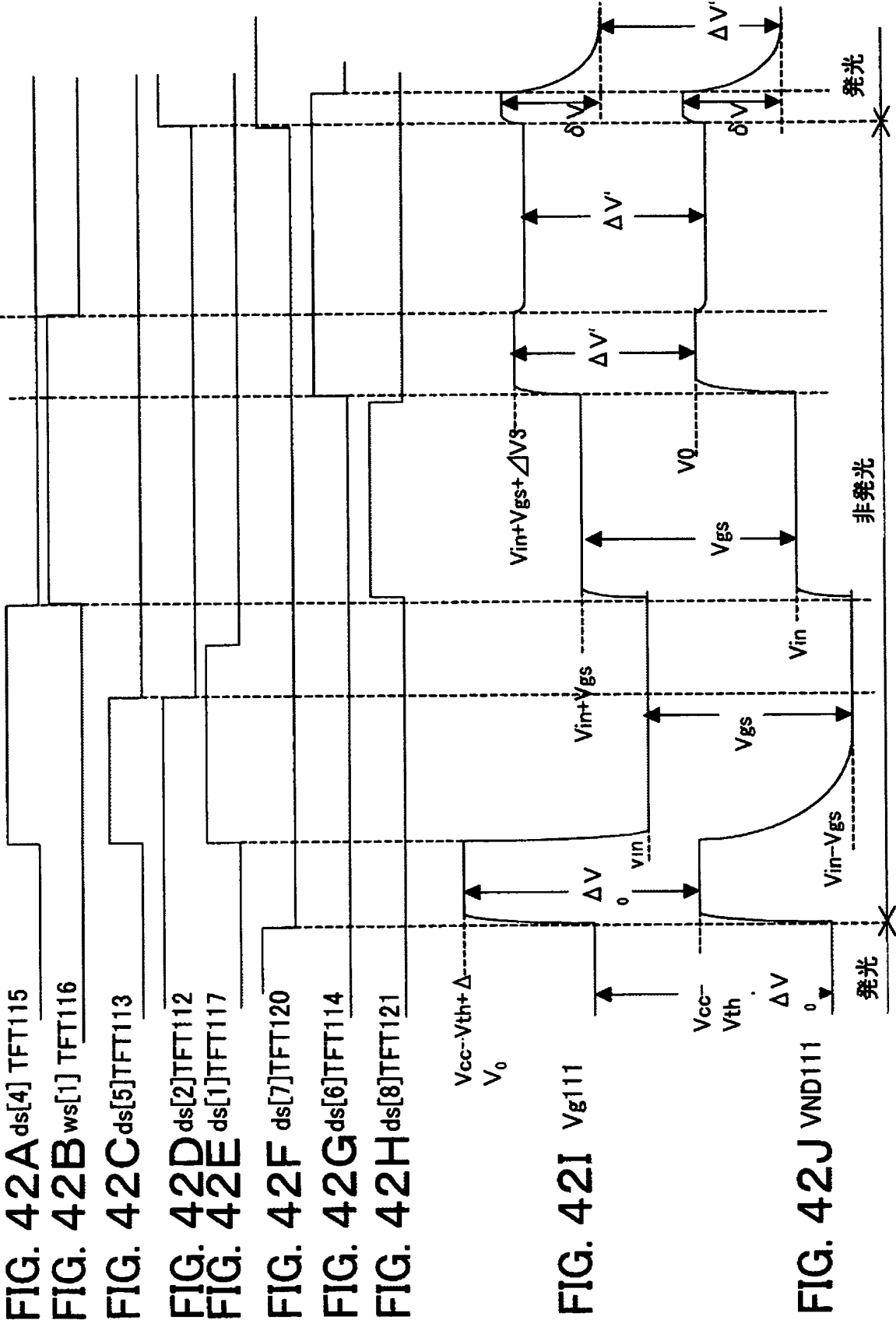


[図41]

FIG. 41

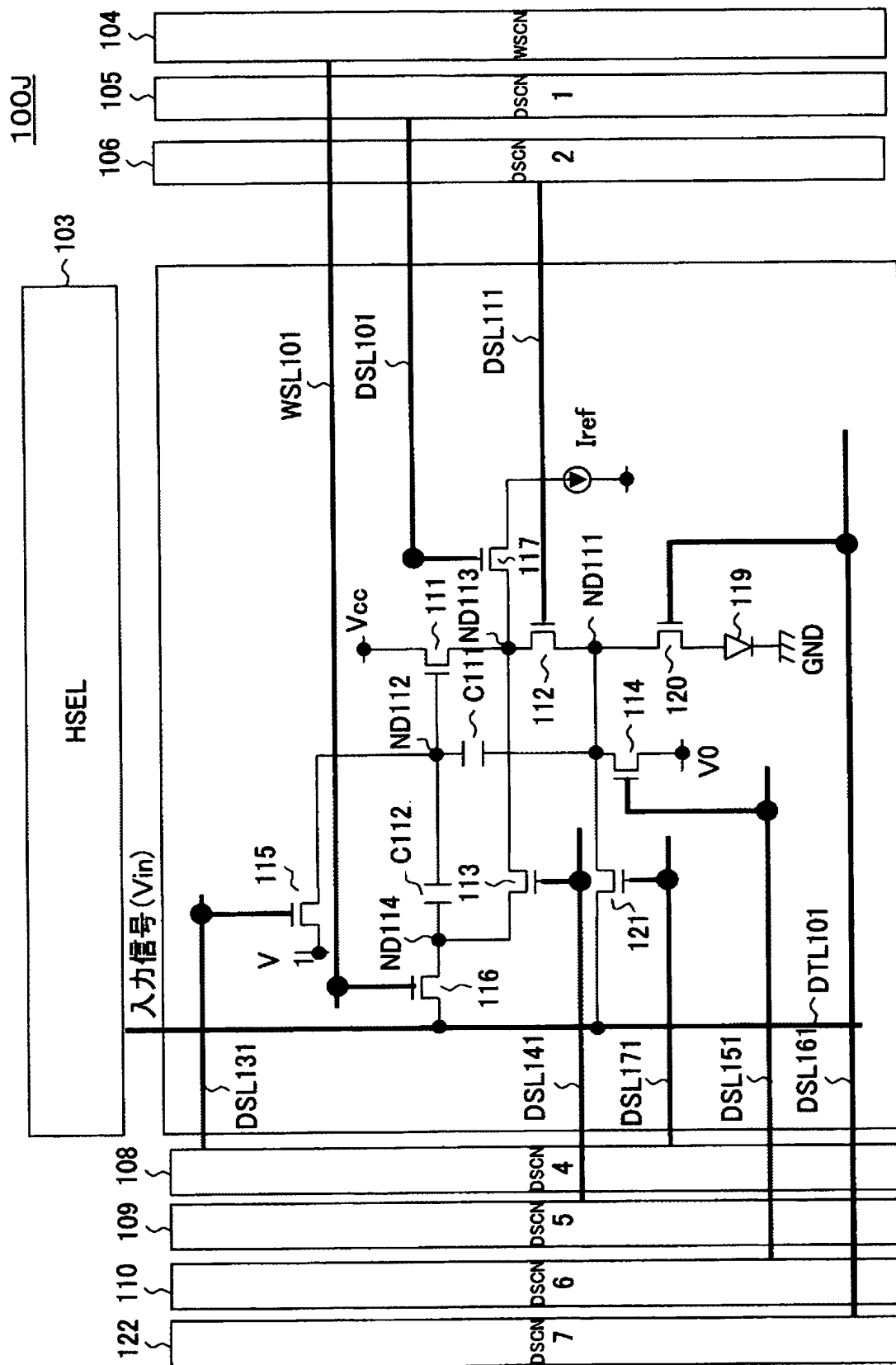


[図42]



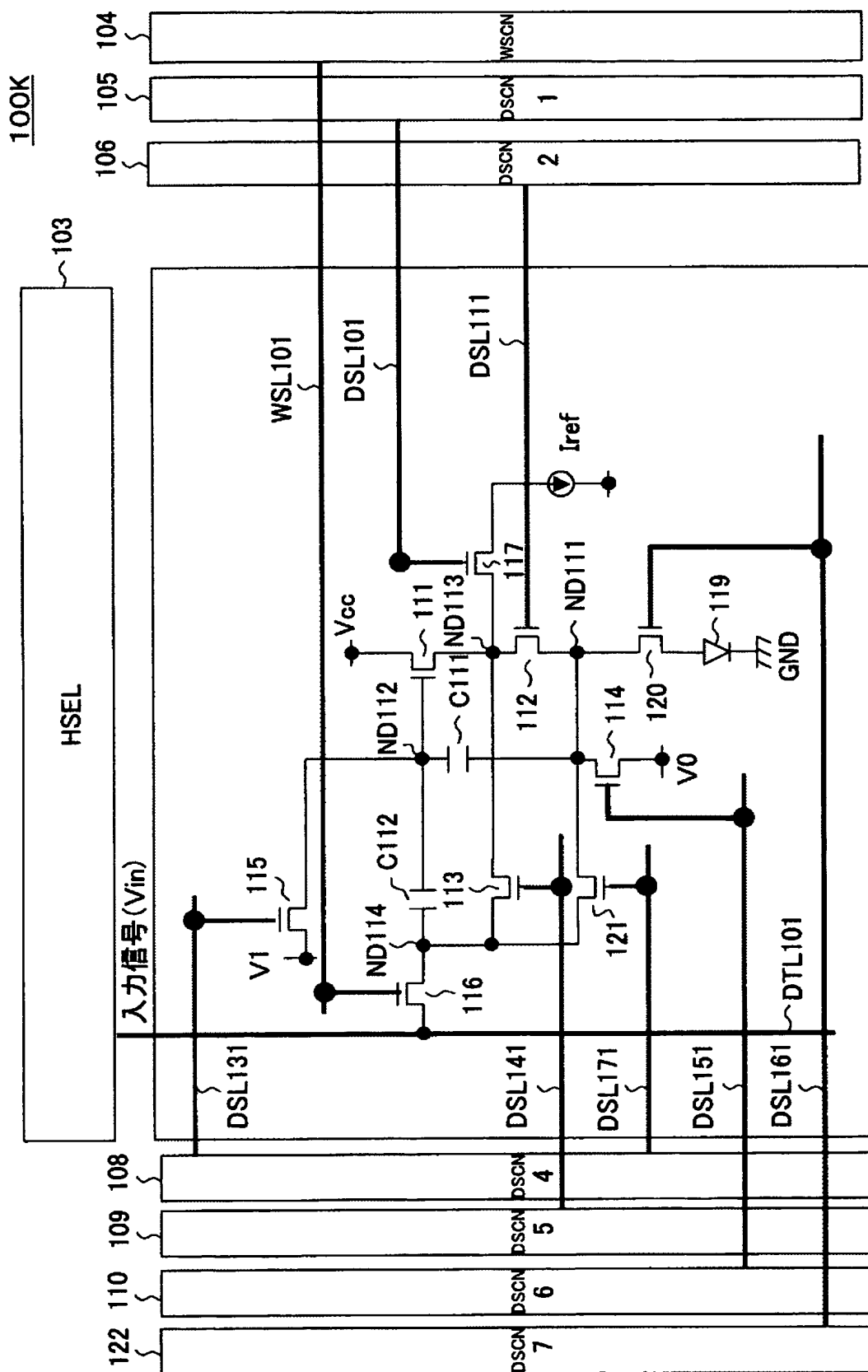
[図44]

FIG. 44

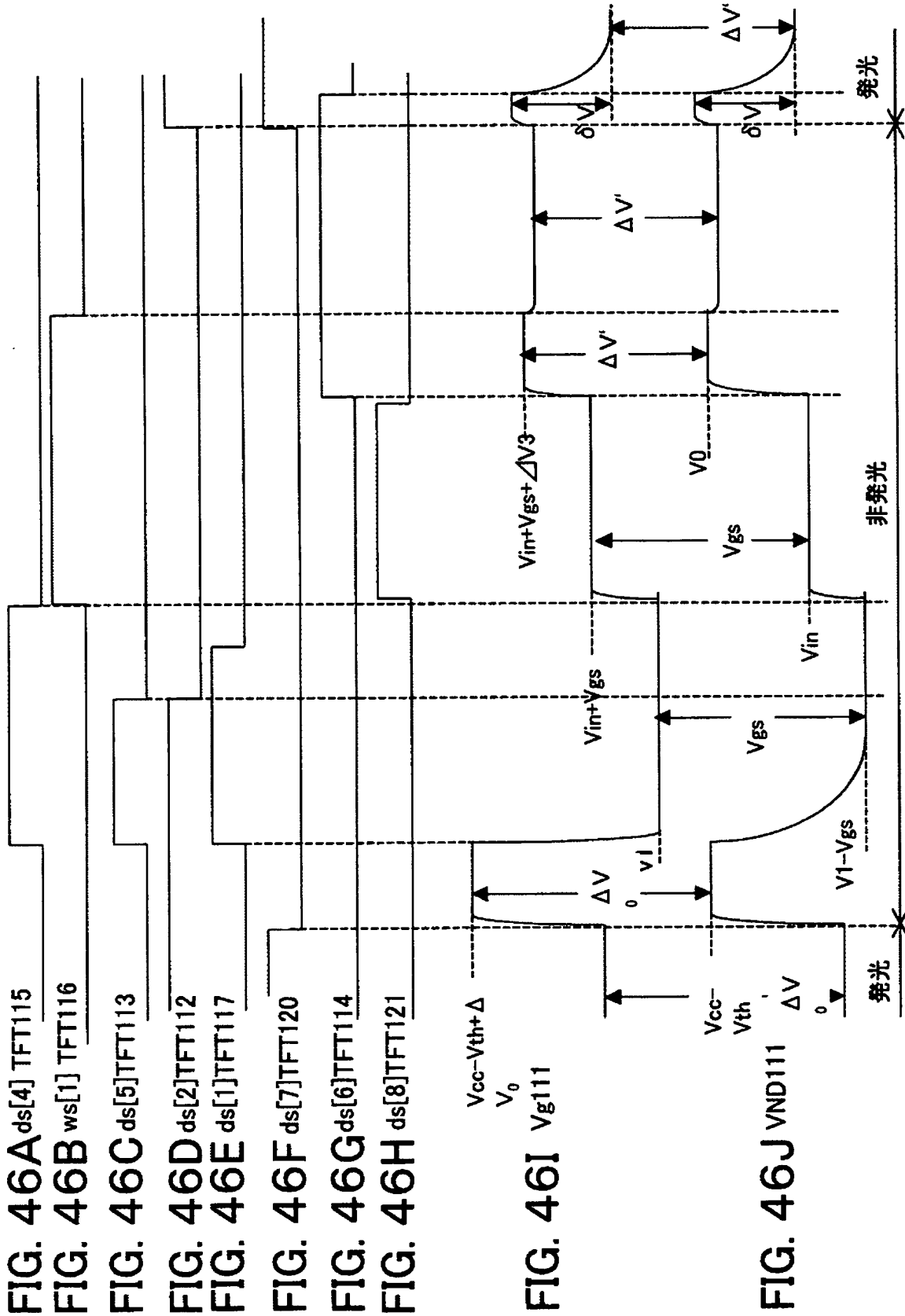


[図45]

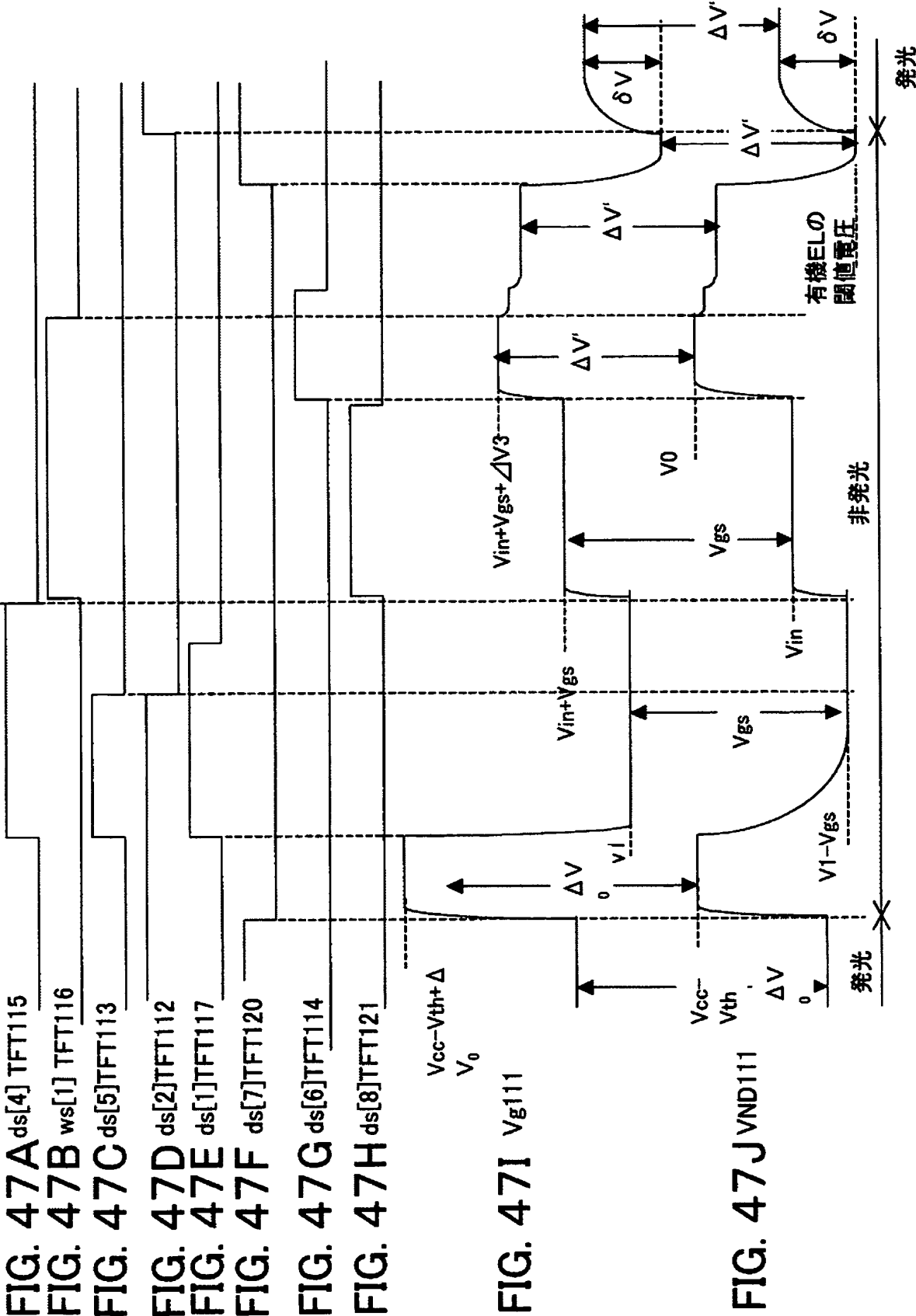
FIG. 45



[図46]



[図47]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016640

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-271095 A (NEC Corp.), 25 September, 2003 (25.09.03), Par. Nos. [0006] to [0012]; Fig. 17 & WO 03/075256 A1 & JP 2003-255897 A	1-13
A	JP 2003-216109 A (Sanyo Electric Co., Ltd.), 30 July, 2003 (30.07.03), Full text; all drawings (Family: none)	1-13
A	JP 2003-195809 A (Matsushita Electric Industrial Co., Ltd.), 09 July, 2003 (09.07.03), Par. Nos. [0006] to [0023]; Fig. 2 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
14 December, 2004 (14.12.04)

Date of mailing of the international search report
28 December, 2004 (28.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016640

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-514320 A (Sarnoff Corp.), 14 May, 2002 (14.05.02), Full text; all drawings & EP 978114 A & WO 98/048403 A1 & US 6229506 B1	1-13
A	JP 2003-173165 A (Toshiba Corp.), 20 June, 2003 (20.06.03), Full text; all drawings (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl. ⁷ G09G 3/30

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl. ⁷ G09G 3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国実用新案登録公報 1996-2004年
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-271095 A (日本電気株式会社) 200 3.09.25 段落【0006】-【0012】、図17 & WO 03/075256 A1 & JP 2003-255897 A	1-13
A	JP 2003-216109 A (三洋電機株式会社) 200 3.07.30 全文、全図 (ファミリーなし)	1-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
14.12.2004

国際調査報告の発送日
28.12.2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
濱本植広

2G 3308

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-195809 A (松下電器産業株式会社) 2003. 07. 09 段落【0006】-【0023】、図2 (ファミリーなし)	1-13
A	JP 2002-514320 A (サーノフ コーポレイション) 2002. 05. 14 全文、全図 & EP 978114 A & WO 98/048403 A1 & US 6229506 B1	1-13
A	JP 2003-173165 A (株式会社東芝) 2003. 06. 20 全文、全図 (ファミリーなし)	1-13